

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re U.S. Patent Application )

Applicant: Kizaki et al. )

Serial No. )

Filed: November 12, 2003 )

For: SEMICONDUCTOR )  
INTEGRATED CIRCUIT )

Art Unit: )

*I hereby certify that this paper is being deposited with the United States Postal Service as EXPRESS MAIL in an envelope addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on this date.*

Nov. 12, 2003  
Date

*Dir. Cramer*  
Express Mail Label No.: EV032735431US

CLAIM FOR PRIORITY

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Applicants claim foreign priority benefits under 35 U.S.C. §.119 on the basis of the foreign application identified below:

Japanese Patent Application No. 2002-353941, filed December 5, 2002

A certified copy of the priority document is enclosed.

Respectfully submitted,

GREER, BURNS & CRAIN, LTD.

By



Patrick G. Burns  
Registration No. 29,367

November 12, 2003

300 South Wacker Drive  
Suite 2500  
Chicago, Illinois 60606  
Telephone: 312.360.0080  
Facsimile: 312.360.9315

0610.68726  
312.360.0080

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年 1 2 月    5 日  
Date of Application:

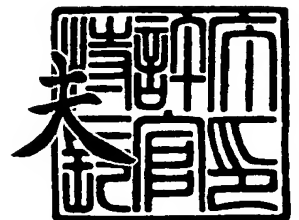
出 願 番 号            特 願 2 0 0 2 - 3 5 3 9 4 1  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 2 - 3 5 3 9 4 1 ]

出      願      人            富 士 通 株 式 会 社  
Applicant(s):

2 0 0 3 年    8 月 2 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 3 - 3 0 7 0 6 8 2

【書類名】 特許願

【整理番号】 0241713

【提出日】 平成14年12月 5日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体集積回路

【請求項の数】 10

【発明者】

    【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴェルエルエスアイ株式会社内

    【氏名】 木崎 貴洋

【発明者】

    【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴェルエルエスアイ株式会社内

    【氏名】 工藤 修

【発明者】

    【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴェルエルエスアイ株式会社内

    【氏名】 鶴戸 真也

【発明者】

    【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴェルエルエスアイ株式会社内

    【氏名】 笠井 稔彦

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

**【代理人】****【識別番号】** 100072718**【弁理士】****【氏名又は名称】** 古谷 史旺**【電話番号】** 3343-2901**【手数料の表示】****【予納台帳番号】** 013354**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9704947**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 直列に接続された第 1 電流を生成する第 1 電流源と負荷回路とを有し、前記第 1 電流源と前記負荷回路との接続ノードである第 1 ノードに第 1 電圧を生成するバイアス回路と、

前記第 1 電圧に応じて電源電流を生成する第 2 電流源と、

複数の第 1 トランジスタを有し、前記第 1 トランジスタを動作させるために前記第 2 電流源に接続された内部回路と、

ゲートで定電圧を受ける補正トランジスタを含み、前記補正トランジスタのドレインに電氣的に接続された第 2 ノードに、前記定電圧に応じて補正電流を生成し、前記第 2 ノードが前記第 1 ノードに電氣的に接続された補正回路とを備えていることを特徴とする半導体集積回路。

【請求項 2】 直列に接続された第 1 電流を生成する第 1 電流源と負荷回路とを有し、前記第 1 電流源と前記負荷回路との接続ノードである第 1 ノードに第 1 電圧を出力するバイアス回路と、

前記第 1 電圧に応じて電源電流を生成する第 2 電流源と、

複数の第 1 トランジスタを有し、前記第 1 トランジスタを動作させるために前記第 2 電流源に接続された内部回路と、

ゲートで定電圧を受ける補正トランジスタを含み、前記補正トランジスタのドレインに電氣的に接続された第 2 ノードに、前記定電圧に応じて補正電流を生成し、前記第 2 ノードが前記第 2 電流源と前記内部回路との接続ノードに接続されている補正回路とを備えていることを特徴とする半導体集積回路。

【請求項 3】 請求項 1 または請求項 2 記載の半導体集積回路において、

前記バイアス回路は、

前記内部回路内に形成される前記第 1 トランジスタの閾値電圧の変化に対する閾値電圧補償機能および温度変化に対する温度補償機能を有し、温度変化および閾値電圧の変化に依存せず一定の基準電圧を生成する基準電圧生成回路を備え、

前記第 1 電圧は、前記基準電圧に応じて生成されることを特徴とする半導体集

積回路。

【請求項 4】 請求項 1 または請求項 2 記載の半導体集積回路において、  
前記補正トランジスタは、nMOS トランジスタであることを特徴とする半導体集積回路。

【請求項 5】 請求項 1 または請求項 2 記載の半導体集積回路において、  
前記補正トランジスタは、pMOS トランジスタであることを特徴とする半導体集積回路。

【請求項 6】 請求項 1 または請求項 2 記載の半導体集積回路において、  
前記第 1 電流源および前記第 2 電流源は、ゲートが前記第 1 ノードに接続された第 2 および第 3 トランジスタをそれぞれ含み、  
前記第 2 および第 3 トランジスタにより第 1 カレントミラー回路が構成されていることを特徴とする半導体集積回路。

【請求項 7】 請求項 1 または請求項 2 記載の半導体集積回路において、  
前記補正トランジスタのドレインは、前記第 2 ノードに直接接続されていることを特徴とする半導体集積回路。

【請求項 8】 直列に接続された第 1 電流を生成する第 1 電流源と負荷回路とを有し、前記第 1 電流源と前記負荷回路との接続ノードである第 1 ノードに第 1 電圧を生成するバイアス回路と、

前記第 1 電圧に応じて電源電流を生成する第 2 電流源と、  
複数の第 1 トランジスタを有し、前記第 1 トランジスタを動作させるために前記第 2 電流源に接続された内部回路と、

ゲートで第 1 定電圧を受ける第 1 補正トランジスタを含み、前記第 1 補正トランジスタのドレインに電氣的に接続された第 2 ノードに、前記第 1 定電圧に応じて第 1 補正電流を生成する第 1 補正回路と、

ゲートで第 2 定電圧を受け、前記第 1 補正トランジスタと極性が逆の第 2 補正トランジスタを含み、前記第 2 補正トランジスタのドレインに電氣的に接続された前記第 2 ノードに、前記第 2 定電圧に応じて第 2 補正電流を生成する第 2 補正回路とを備え、

前記第 2 ノードは、前記第 1 ノードに電氣的に接続されていることを特徴とす

る半導体集積回路。

【請求項 9】 直列に接続された第 1 電流を生成する第 1 電流源と負荷回路とを有し、前記第 1 電流源と前記負荷回路との接続ノードである第 1 ノードに第 1 電圧を出力するバイアス回路と、

前記第 1 電圧に応じて電流を生成する第 2 電流源と、

複数の第 1 トランジスタを有し、前記第 1 トランジスタを動作させるために前記第 2 電流源に接続された内部回路と、

ゲートで第 1 定電圧を受ける第 1 補正トランジスタを含み、前記第 1 補正トランジスタのドレインに電氣的に接続された第 2 ノードに、前記第 1 定電圧に応じて第 1 補正電流を生成する第 1 補正回路と、

ゲートで第 2 定電圧を受け、前記第 1 補正トランジスタと極性が逆の第 2 補正トランジスタを含み、前記第 2 補正トランジスタのドレインに電氣的に接続された前記第 2 ノードに、前記第 2 定電圧に応じて第 2 補正電流を生成する第 2 補正回路とを備え、

前記第 2 ノードは、前記第 2 電流源と前記内部回路との接続ノードに接続されていることを特徴とする半導体集積回路。

【請求項 10】 請求項 8 または請求項 9 記載の半導体集積回路において、前記第 1 および第 2 補正トランジスタは、一方が nMOS トランジスタであり、他方が pMOS トランジスタであることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、トランジスタを含む内部回路と、この内部回路に定電流を供給するためのバイアス回路とを有する半導体集積回路に関する。

【0002】

【従来の技術】

図 19 は、従来のバイアス回路の一例を示している。

バイアス回路 100 は、基準電圧  $V_0$  を生成するバンドギャップリファレンス BG R、基準電圧  $V_0$  を受けるアンプ AMP、アンプ AMP の出力電圧を受けてノード ND100、

ND200に所定の電圧を生成する電圧生成部VGENを有している。電圧生成部VGENは、電源線VDDと接地線VSSとの間に直列に接続されたpMOSトランジスタPM100、nMOSトランジスタNM100および抵抗R100を有している。nMOSトランジスタNM100は、アンプAMPの出力電圧をゲートで受けている。

#### 【0 0 0 3】

pMOSトランジスタPM100のドレインに接続されたノードND100は、定電流源2 0 0を構成するpMOSトランジスタPM200 (PM210、PM220、...) のゲートに接続されている。そして、バイアス回路1 0 0のpMOSトランジスタPM100と定電流源2 0 0のpMOSトランジスタPM200とにより、カレントミラー回路がそれぞれ構成されている。pMOSトランジスタPM200 (PM210、PM220、...) のドレインは、内部回路3 0 0 (3 0 0 a、3 0 0 b、...) の電源線に接続されている。

#### 【0 0 0 4】

上述したバイアス回路1 0 0では、バンドギャップリファレンスBGRは、温度変化およびバンドギャップリファレンスBGRを構成するトランジスタの閾値電圧に依存せず、シリコンのバンドギャップ電圧（ほぼ1.2 V）を安定して出力する。このため、この種のバイアス回路は、温度変化および半導体集積回路の製造プロセス条件の変動によらず、定電流I10を生成できる（例えば、特許文献1参照）。

#### 【0 0 0 5】

##### 【特許文献1】

特開平5 - 1 8 3 3 5 6号公報（図1）

#### 【0 0 0 6】

##### 【発明が解決しようとする課題】

図2 0は、図1 9に示したバイアス回路1 0 0に接続される内部回路3 0 0の動作を示している。

一般に、半導体集積回路の製造工程におけるプロセス条件等の変動により、トランジスタの閾値電圧が低くなったとき、トランジスタの消費電流は増加する。このため、内部回路3 0 0の動作速度は速くなる。トランジスタの閾値電圧が高くなったとき、内部回路3 0 0の動作速度は遅くなる。また、トランジスタの消



費電流は、温度依存性を有する。このため、半導体集積回路の周囲温度が変化した場合にも、内部回路 3 の動作速度は変化する。

#### 【0007】

半導体集積回路の製品仕様（タイミング規格および電流規格など）は、上記閾値電圧の変動および温度変化を考慮して決められる。このため、例えば、動作周波数等のタイミング規格は、閾値電圧の最大値・最小値および温度の最大値・最小値に合わせて決められる（図 20（a）、（b））。

図 21 は、半導体集積回路チップ毎のトランジスタの閾値電圧の分布を示している。

#### 【0008】

トランジスタの閾値電圧は、プロセス条件の変動（製造ロット）等ではばらつく。このため、製造された半導体集積回路チップの閾値電圧のばらつきは、図に示すように、中央にピークを有する山なりの分布を示す。

上述した従来の半導体集積回路では、閾値電圧が低くなると動作周波数が製品規格の最大定格を満たさなくなり、不良品となる。一方、閾値電圧が高くなると動作周波数が製品規格の最小定格を満たさなくなる。この結果、規格を満足する範囲が狭くなり、良品数の割合である歩留が低下し、製品コストが増加する。

#### 【0009】

本発明の目的は、半導体集積回路の製造プロセス条件が変動する場合にも、内部回路の動作速度を一定にすることにある。

本発明の別の目的は、半導体集積回路の周囲温度が変化する場合にも、内部回路の動作速度を一定にすることにある。

本発明の別の目的は、半導体集積回路を構成するトランジスタの特性の変動による歩留の低下を防止し、製品コストを削減することにある。

#### 【0010】

##### 【課題を解決するための手段】

請求項 1 の半導体集積回路では、バイアス回路は、直列に接続された第 1 電流を生成する第 1 電流源と負荷回路とを有している。バイアス回路は、第 1 電流源と負荷回路との接続ノードである第 1 ノードに第 1 電圧を生成する。第 2 電流源

は、第1電圧に応じて内部回路に供給する電源電流を生成する。内部回路は、電源電流によって動作する複数の第1トランジスタを有する。補正回路は、ゲートで定電圧を受ける補正トランジスタを有している。補正回路は、補正トランジスタのドレインに電氣的に接続された第2ノードに、定電圧に応じて補正電流を生成する。第2ノードは、第1ノードに電氣的に接続されている。負荷回路には、例えば、第1電流源により生成される第1電流に補正回路により生成される補正電流を加えた電流が流れる。

#### 【0011】

半導体集積回路の製造工程におけるプロセス条件等の変動により、トランジスタの閾値電圧が低くなるとき、補正回路の補正トランジスタに流れる補正電流は、増加する。補正電流の増加により第1電流は減少し、第1電圧は下降する。第1電圧の下降により、電源電流が減少する。このため、閾値電圧の下降により速くなる内部回路のトランジスタの動作速度は、電源電流の減少により補正される。

#### 【0012】

一方、半導体集積回路の製造工程におけるプロセス条件等の変動により、トランジスタの閾値電圧が高くなるとき、補正回路の補正トランジスタに流れる補正電流は、減少する。補正電流の減少により第1電流は増加し、第1電圧は上昇する。第1電圧の上昇により、電源電流が増加する。このため、閾値電圧の上昇により遅くなる内部回路のトランジスタの動作速度は、電源電流の増加により補正される。

#### 【0013】

また、半導体集積回路の動作中に半導体集積回路の温度が下降する場合、補正回路の補正トランジスタに流れる補正電流は、増加する。そして、上述と同様に、補正電流の増加により電源電流が減少する。このため、温度の下降により速くなる内部回路のトランジスタの動作速度は、電源電流の減少により補正される。半導体集積回路の動作中に半導体集積回路の温度が上昇する場合、補正回路の補正トランジスタに流れる補正電流は、減少する。そして、上述と同様に、補正電流の減少により電源電流が増加する。このため、温度の上昇により遅くなる内部

回路のトランジスタの動作速度は、電源電流の増加により補正される。

【0014】

このように、トランジスタの閾値電圧の変化および温度変化に依存して、内部回路の動作速度が変化することが防止される。換言すれば、内部回路の動作速度は、閾値電圧の変化および温度変化によらず一定になる。したがって、製造工程で発生する半導体集積回路チップ毎の閾値電圧のばらつきに依存せず、半導体集積回路の歩留を向上できる。また、内部回路の動作速度の温度依存性を小さくできるため、半導体集積回路の歩留を向上できる。この結果、半導体集積回路の製品コストを削減できる。

【0015】

請求項2の半導体集積回路では、バイアス回路は、直列に接続された第1電流を生成する第1電流源と負荷回路とを有している。バイアス回路は、第1電流源と負荷回路との接続ノードである第1ノードに第1電圧を生成する。第2電流源は、第1電圧に応じて内部回路に供給する電源電流を生成する。内部回路は、電源電流によって動作する複数の第1トランジスタを有する。補正回路は、ゲートで定電圧を受ける補正トランジスタを有している。補正回路は、補正トランジスタのドレインに電氣的に接続された第2ノードに、定電圧に応じて補正電流を生成する。第2ノードは、第2電流源と内部回路との接続ノードに接続されている。内部回路には、例えば、第2電流源により生成される電源電流から補正回路により生成される補正電流を引いた電流が流れる。

【0016】

例えば、閾値電圧の低い半導体集積回路が製造された場合、上述と同様に補正電流は増加する。このため、電源電流のうち内部回路に供給される電流は減少する。閾値電圧の高い半導体集積回路が製造された場合、上述と同様に補正電流は減少する。このため、電源電流のうち内部回路に供給される電流は増加する。温度変化についても同様である。したがって、内部回路の動作速度は、閾値電圧の変化および温度変化によらず一定になる。この結果、製造工程で発生する半導体集積回路チップ毎の閾値電圧のばらつきに依存せず、半導体集積回路の歩留を向上できる。また、内部回路の動作速度の温度依存性を小さくできるため、半導体

集積回路の歩留を向上できる。歩留が向上するため、半導体集積回路の製品コストを削減できる。

#### 【0017】

この発明は、共通のバイアス回路に接続される複数の第2電流源およびこれ等電流源に対応する複数の内部回路を有する半導体集積回路に適用することで、特に顕著な効果を得られる。これは、補正回路を接続するか否かを、内部回路の種類（機能）に応じて内部回路毎に設定できるためである。

請求項3の半導体集積回路では、バイアス回路は、温度変化および閾値電圧の変化に依存せず一定の基準電圧を生成する基準電圧生成回路を有している。すなわち、基準電圧生成回路は、内部回路内に形成される第1トランジスタの閾値電圧の変化に対する閾値電圧補償機能および温度変化に対する温度補償機能を有している。バイアス回路は、第1電圧を、基準電圧に応じて生成する。このとき、バイアス回路は、温度変化および閾値電圧の変化に依存せず一定電圧を生成するが、内部回路は、温度変化および閾値電圧の変化に依存して動作速度が変化する。このように、本発明は、温度変化および閾値電圧の変化に依存せず一定電圧を生成するバイアス回路を有する半導体集積回路に適用することで、顕著な効果がある。

#### 【0018】

請求項4の半導体集積回路では、補正トランジスタは、nMOSトランジスタである。このため、内部回路に形成されるnMOSトランジスタの閾値電圧が変化する場合に、nMOSトランジスタの動作速度を一定にできる。あるいは、温度が変化する場合にもnMOSトランジスタの動作速度を一定にできる。

請求項5の半導体集積回路では、補正トランジスタは、pMOSトランジスタである。このため、内部回路に形成されるpMOSトランジスタの閾値電圧が変化する場合に、pMOSトランジスタの動作速度を一定にできる。あるいは、温度が変化する場合にもpMOSトランジスタの動作速度を一定にできる。

#### 【0019】

請求項6の半導体集積回路では、第1電流源および第2電流源は、ゲートが第1ノードに接続された第2および第3トランジスタをそれぞれ有している。第2

および第3トランジスタにより第1カレントミラー回路が構成されている。このため、第2電流源で生成される電源電流を第1電流源で生成される電流と等しくできる。この結果、内部回路に供給される電源電流を、補正回路による補正制御によって正確に調整できる。

#### 【0020】

請求項7の半導体集積回路では、補正トランジスタのドレインは、第2ノードに直接接続されている。このため、補正回路を簡易に構成でき、半導体集積回路のチップサイズの増加を最小限に抑えることができる。

請求項8の半導体集積回路では、バイアス回路は、直列に接続された第1電流を生成する第1電流源と負荷回路とを有している。バイアス回路は、第1電流源と負荷回路との接続ノードである第1ノードに第1電圧を生成する。第2電流源は、第1電圧に応じて内部回路に供給する電源電流を生成する。内部回路は、電源電流によって動作する複数の第1トランジスタを有する。第1補正回路は、ゲートで第1定電圧を受ける第1補正トランジスタを有している。第1補正回路は、第1補正トランジスタのドレインに電氣的に接続された第2ノードに、第1定電圧に応じて第1補正電流を生成する。第2補正回路は、ゲートで第2定電圧を受け、第1補正トランジスタと極性が逆の第2補正トランジスタを有している。第2補正回路は、第2補正トランジスタのドレインに電氣的に接続された第2ノードに、第2定電圧に応じて第2補正電流を生成する。第2ノードは、第1ノードに電氣的に接続されている。負荷回路には、例えば、第1電流源により生成される第1電流に第1および第2補正回路により生成される第1および第2補正電流を加えた電流が流れる。

#### 【0021】

この発明においても、上述と同様に、内部回路の動作速度は、閾値電圧の変化および温度変化によらず一定になる。したがって、製造工程で発生する半導体集積回路チップ毎の閾値電圧のばらつきに依存せず、半導体集積回路の歩留を向上できる。また、内部回路の動作速度の温度依存性を小さくできるため、半導体集積回路の歩留を向上できる。この結果、半導体集積回路の製品コストを削減できる。

**【0022】**

さらに、電源電流は、極性が互いに異なる第1および第2補正トランジスタに応じて調整される。このため、極性が互いに異なる2種類のトランジスタが内部回路に形成される場合にも、内部回路の動作速度を一定にできる。

請求項9の半導体集積回路では、バイアス回路は、直列に接続された第1電流を生成する第1電流源と負荷回路とを有している。バイアス回路は、第1電流源と負荷回路との接続ノードである第1ノードに第1電圧を生成する。第2電流源は、第1電圧に応じて内部回路に供給する電源電流を生成する。内部回路は、電源電流によって動作する複数の第1トランジスタを有する。第1補正回路は、ゲートで第1定電圧を受ける第1補正トランジスタを有している。第1補正回路は、第1補正トランジスタのドレインに電氣的に接続された第2ノードに、第1定電圧に応じて第1補正電流を生成する。第2補正回路は、ゲートで第2定電圧を受け、第1補正トランジスタと極性が逆の第2補正トランジスタを有している。第2補正回路は、第2補正トランジスタのドレインに電氣的に接続された第2ノードに、第2定電圧に応じて第2補正電流を生成する。第2ノードは、第2電流源と内部回路との接続ノードに接続されている。内部回路には、例えば、第2電流源により生成される電源電流から第1および第2補正回路により生成される第1および第2補正電流を引いた電流が流れる。

**【0023】**

この発明においても、上述と同様に、内部回路の動作速度は、閾値電圧の変化および温度変化によらず一定になる。したがって、製造工程で発生する半導体集積回路チップ毎の閾値電圧のばらつきに依存せず、半導体集積回路の歩留を向上できる。また、内部回路の動作速度の温度依存性を小さくできるため、半導体集積回路の歩留を向上できる。この結果、半導体集積回路の製品コストを削減できる。

**【0024】**

さらに、内部回路に供給される電流は、極性が互いに異なる第1および第2補正トランジスタに応じて調整される。このため、極性が互いに異なる2種類のトランジスタが内部回路に形成される場合にも、内部回路の動作速度を一定にでき

る。

請求項 1 0 の半導体集積回路では、第 1 および第 2 補正トランジスタは、一方が nMOS トランジスタであり、他方が pMOS トランジスタである。このため、内部回路に形成される nMOS トランジスタの閾値電圧および pMOS トランジスタの閾値電圧がそれぞれ変化する場合にも、内部回路の動作速度を一定にできる。

#### 【 0 0 2 5 】

##### 【発明の実施の形態】

以下、本発明の実施形態を図面を用いて説明する。

図 1 は、本発明の半導体集積回路の第 1 の実施形態を示している。この実施形態は、請求項 1、請求項 3、請求項 4 および請求項 6 に対応している。半導体集積回路チップは、シリコン基板上に CMOS プロセスを使用して、例えば LCD ドライバとして形成されている。

半導体集積回路は、バイアス回路 1 0、定電流源 1 2、補正回路 1 4、および内部回路 1 6（1 6 a、1 6 b、...）を有している。

#### 【 0 0 2 6 】

バイアス回路 1 0 は、バンドギャップリファレンス BGR（基準電圧生成回路）、アンプ AMP、および電圧生成部 VGEN を有している。バンドギャップリファレンス BGR は、周知の CMOS 回路で構成されており、シリコンのバンドギャップの電圧である基準電圧  $V_0$ （ほぼ 1.2 V；より正確には 1.205 V）を生成する。基準電圧  $V_0$  は、半導体集積回路の周囲温度の変化に依存せず、一定値に維持される。また、基準電圧  $V_0$  は、半導体集積回路の製造工程でのプロセス条件の変化に応じてトランジスタの閾値電圧が変化した場合にも一定値に維持される。すなわち、バンドギャップリファレンス BGR は、温度補償機能および閾値電圧補償機能を有している。

#### 【 0 0 2 7 】

アンプ AMP は、基準電圧  $V_0$  および電圧生成部 VGEN からのフィードバックに応じて動作し、定電圧  $V_1$  を出力する。

電圧生成部 VGEN は、電源線 VDD と接地線 VSS との間に直列に接続された pMOS トランジスタ PM1（第 1 電流源、第 2 トランジスタ）、nMOS トランジスタ NM1 および抵

抵抗 $R1$ （負荷回路）を有している。pMOSトランジスタ $PM1$ のゲートは、ドレイン（第1ノード $ND1$ ）に接続されている。nMOSトランジスタ $NM1$ のゲートは、定電圧 $V1$ を受けている。nMOSトランジスタ $NM1$ と抵抗 $R1$ の接続ノード $ND3$ は、アンプ $AMP$ の入力的一方に接続されている。接続ノード $ND3$ からのアンプ $AMP$ へのフィードバックにより、接続ノード $ND3$ の電圧は、温度変化および閾値電圧の変化によらず、 $1.2\text{ V}$ に維持される。このため、第1ノード $ND1$ に所定の電圧（第1電圧）が生成される。

#### 【0028】

定電流源12は、複数のpMOSトランジスタ $PM2$ （ $PM21$ 、 $PM22$ 、...；第2電流源、第3トランジスタ）を有している。pMOSトランジスタ $PM2$ は、ソースが電源線 $V_{DD}$ に接続され、ゲートがノード $ND1$ に接続されている。pMOSトランジスタ $PM2$ のドレインは、内部回路16a、16b、...にそれぞれ接続されている。

定電流源12の各pMOSトランジスタ $PM2$ とバイアス回路10のpMOSトランジスタ $PM1$ とによりカレントミラー回路（第1カレントミラー回路）がそれぞれ構成されている。このため、pMOSトランジスタ $PM1$ のソース・ドレイン間電流 $I1$ （第1電流）は、pMOSトランジスタ $PM2$ のソース・ドレイン間電流 $I2$ （ $I21$ 、 $I22$ 、...；電源電流）と等しくなる。したがって、内部回路16a、16b、...にそれぞれ供給される電流 $I21$ 、 $I22$ 、...は、バイアス回路10に流れる電流 $I1$ と等しくなる。

#### 【0029】

補正回路14は、カレントミラー回路（第2カレントミラー回路）を構成するpMOSトランジスタ $PM31$ 、 $PM32$ （第4トランジスタ）と、nMOSトランジスタ $NM31$ （補正トランジスタ）とを有している。pMOSトランジスタ $PM31$ 、 $PM32$ のソースは、電源線 $V_{DD}$ に接続されている。pMOSトランジスタ $PM31$ 、 $PM32$ のゲートは、pMOSトランジスタ $PM32$ のドレインに接続されている。pMOSトランジスタ $PM31$ のドレイン（第2ノード $ND2$ ）は、第1ノード $ND1$ に接続されている。nMOSトランジスタ $NM31$ は、ドレインがpMOSトランジスタ $PM32$ のドレインに接続され、ゲートが定電圧線 $V_{GS1}$ に接続され、ソースが接地線 $V_{SS}$ に接続されている。

#### 【0030】



nMOSトランジスタNM31には、一定電圧であるゲート電圧VGS1に応じてソース・ドレイン間電流I33（補正電流）が流れる。pMOSトランジスタPM32には、電流I33に等しいソース・ドレイン間電流I32が流れる。このため、pMOSトランジスタPM31には、電流I32に等しいソース・ドレイン間電流I31が流れる。電流I31は、バイアス回路10のノードND1に向かって流れる。このため、バイアス回路10における電圧生成回路VGENの抵抗R1に流れる電流I0は、式（1）に示すように、電流I1と電流I31の和になる。また、電流I0は、式（2）に示すように、ノードND3の電圧（1.2 V）と抵抗R1の抵抗値より表される一定値である。電流I31は、nMOSトランジスタNM31の閾値電圧をVthとすると、式（3）で表せる。

#### 【0031】

$$I0 = I1 + I31 \quad \dots\dots (1)$$

$$I0 = 1.2 / R1 \quad \dots\dots (2)$$

$$I31 = \beta (VGS1 - Vth)^2 \quad \dots\dots (3)$$

内部回路16は、pMOSトランジスタおよびnMOSトランジスタを含む複数のCMOS回路を有している。内部回路16により、LCDドライバのオペアンプが形成されている。すなわち、内部回路16は、CMOSアナログ回路として動作する。

#### 【0032】

図2は、図1に示した補正回路14におけるnMOSトランジスタNM31のゲートに供給される定電圧VGS1を生成する電圧生成回路18を示している。

電圧生成回路18は、電源線VDDと接地線VSSとの間に直列に接続された抵抗R2、R3、R4、R5を有している。定電圧VGS1は、抵抗R4、R5の接続ノードから生成される。定電圧VGS1の値は、抵抗R2～R5の抵抗値の比で決まる。このため、定電圧VGS1は、半導体集積回路の製造工程でのプロセス条件の変動あるいは半導体集積回路の動作中の温度変化により変化しない。

#### 【0033】

図3は、本発明における内部回路16の動作を示している。図中の太線は、本発明を適用した場合の特性を示し、一点鎖線は、従来の特性を示している。

本発明では、半導体集積回路の製造工程でのプロセス条件の変動により、半導体集積回路に形成されるトランジスタの閾値電圧が標準値より低くなる場合、図

1 に示した補正回路 14 の nMOS トランジスタ NM31 の閾値電圧も低くなる。図 2 に示した電圧生成回路 18 は、拡散抵抗 R2、R3、R4、R5 で構成されているため、定電圧 VGS1 は、閾値電圧が変動しても一定に維持される。このため、閾値電圧の低下により、式 (3) に示したように、nMOS トランジスタ NM31 のソース・ドレイン間電流 I31 は、増加する。この結果、pMOS トランジスタ PM32、PM31 のソース・ドレイン間電流 I33、I32 も、それぞれ増加する。

#### 【0034】

図 1 に示したバイアス回路 10 は、閾値電圧の変動に依存せず、ノード ND3 に一定電圧 (1.2 V) を生成する。抵抗 R1 を流れる電流 I0 は、式 (2) に示したように、閾値電圧の変動に依存せず一定に維持される。このため、電流 I1 は、式 (1) に示したように、電流 I31 が増加することで減少する。定電流源 12 の pMOS トランジスタ PM21、PM22 が内部回路 16 にそれぞれ供給する電源電流 I21、I22 は減少する。したがって、内部回路 16 の動作速度は遅くなる (図 3 (a))。この結果、内部回路 16 の動作速度は、閾値電圧が標準のときにほぼ等しくなる。換言すれば、本発明の適用により、動作速度の閾値電圧依存性はなくなる。

#### 【0035】

また、半導体集積回路の製造工程でのプロセス条件の変動により、半導体集積回路に形成されるトランジスタの閾値電圧が標準値より高くなる場合、上述とは逆に、補正回路 14 の nMOS トランジスタ NM31 の閾値電圧が高くなり、nMOS トランジスタ NM31 のソース・ドレイン間電流 I31 は、式 (3) に示したように減少する。この結果、pMOS トランジスタ PM32、PM31 のソース・ドレイン間電流 I33、I32 も、それぞれ減少する。このため、電流 I1 は、式 (1) に示したように、電流 I31 が減少することで増加する。定電流源 12 の pMOS トランジスタ PM21、PM22 が内部回路 16 それぞれ供給する電源電流 I21、I22 は増加する。したがって、内部回路 16 の動作速度は速くなる (図 3 (b))。この結果、内部回路 16 の動作速度は、閾値電圧が標準のときにほぼ等しくなる。換言すれば、本発明の適用により、動作速度の閾値電圧依存性はなくなる。

#### 【0036】

なお、半導体集積回路の動作中に周囲温度が低くなる場合、補正回路 14 の nM

OSトランジスタNM31のソース・ドレイン間電流I33は、閾値電圧が低くなる場合と同様に増加する。このため、内部回路16の動作速度は、速くなる。また、半導体集積回路の動作中に周囲温度が高くなる場合、MOSトランジスタNM31のソース・ドレイン間電流I33は、閾値電圧が高くなる場合と同様に減少する。このため、内部回路16の動作速度は遅くなる。この結果、本発明の適用により、内部回路16の動作速度の温度による変動は防止される。

#### 【0037】

一方、従来では、バイアス回路10は、トランジスタの閾値電圧にかかわらずノードND1に常に一定の電圧を生成する。このため、定電流源12は、閾値電圧に依存せず常に一定の電源電流I21、I22を出力する。したがって、トランジスタの閾値電圧が低くなると、内部回路16の動作速度は速くなる（図3（c））。これとは逆に、トランジスタの閾値電圧が高くなると、内部回路16の動作速度は遅くなる（図3（d））。

#### 【0038】

図4は、第1の実施形態における内部回路16のシミュレーション結果を示している。

ここでは、内部回路16に形成されるオペアンプのトランジスタ（中耐圧）の閾値電圧を変化させたときのスルーレート時間を評価した。ここで、スルーレート時間は、オペアンプの出力信号が、入力信号に応じて変化を開始してから所望の電圧レベルまで変化するまでの時間である。オペアンプは、 $0.50\mu\text{m}$ の半導体CMOSテクノロジーを使用して設計されており、入力と電流源がnMOSトランジスタで構成されている。オペアンプには、10Vの電源電圧が供給される。

#### 【0039】

定電圧VGS1をゲートで受けるnMOSトランジスタNM31を有する補正回路14が半導体集積回路内に形成される場合、図の白い四角印に示すように、スルーレート時間は、閾値電圧の変動に依存せずほぼ一定になる。一方、補正回路14が半導体集積回路内に形成されない従来では、図の黒い菱形印に示すように、スルーレート時間は、閾値電圧に依存して変化する。

#### 【0040】

このように、本発明の適用により、内部回路 16 を構成するトランジスタ閾値電圧が変化しても、図 3 に示した特性と同様に、内部回路 16 の動作速度が変わらないことが、シミュレーションによっても確認された。

図 5 は、本発明における半導体集積回路チップ毎の閾値電圧の分布を示している。

#### 【0041】

上述したように、本発明を半導体集積回路に適用することで、内部回路の動作速度は、閾値電圧に依存せず一定になり、かつ消費電流は一定になる。このため、閾値電圧の分布が従来（図 21）と同じでも場合にも、規格を満足する範囲が、従来に比べて広くなり、良品数の割合である歩留が向上する。この結果、半導体集積回路の製造コストが削減される。

#### 【0042】

以上、第 1 の実施形態では、バイアス回路 10 のノード ND1 に補正回路 14 の出力を接続することで、抵抗 R1 には、電流 I1 に電流 I31 を加えた電流が流れる。このため、半導体集積回路の製造工程におけるプロセス条件等の変動、および動作中の半導体集積回路の温度変化に応じて、内部回路 16 に供給される電源電流 I2 を変えることができる。したがって、内部回路の動作速度を、閾値電圧の変化および温度変化によらず一定にできる。この結果、半導体集積回路の歩留を向上でき、半導体集積回路の製品コストを削減できる。

#### 【0043】

本発明は、基準電圧生成回路としてバンドギャップリファレンス BGR が形成されているバイアス回路に適用すると有効である。これは、基準電圧生成回路から出力され温度変化および閾値電圧の変化に依存しない一定電圧を、補正回路 14 により補正できるためである。

補正回路 14 は、入力回路および電流源が nMOS トランジスタで構成されるオペアンプ（内部回路 16）に対応して、定電圧 VGS1 をゲートで受ける nMOS トランジスタ NM31 を有している。このため、オペアンプを構成する nMOS トランジスタの閾値電圧が変化する場合にも、オペアンプの動作速度をほぼ一定にできる。あるいは、温度が変化する場合にもオペアンプの動作速度を一定にできる。

**【0044】**

カレントミラー回路は、バイアス回路10のpMOSトランジスタPM11および定電流源12のpMOSトランジスタPM2により構成されている。このため、定電流源12で生成される電源電流I2をバイアス回路10で生成される電流I1と等しくできる。この結果、内部回路16に供給される電源電流I2を、補正回路14による補正制御により正確に調整できる。

**【0045】**

図6は、本発明の半導体集積回路の第2の実施形態を示している。この実施形態は、請求項1、請求項3、請求項4および請求項7に対応している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

この実施形態では、第1の実施形態の補正回路14および内部回路16（16a、16b、...）の代わりに補正回路14Aおよび内部回路20（20a、20b、...）が形成されている。半導体集積回路チップは、シリコン基板上にCMOSプロセスを使用して、例えばLCDドライバとして形成されている。内部回路20は、LCDドライバのオペアンプとして形成されている。オペアンプは、入力と電流源がpMOSトランジスタで構成されている。その他の構成は、第1の実施形態と同じである。

**【0046】**

補正回路14Aは、pMOSトランジスタPM41（補正トランジスタ）で構成されている。pMOSトランジスタPM41は、ソースが電源線VDDに接続され、ゲートが定電圧線VGS2に接続され、ドレインであるノードND2がバイアス回路10のノードND1に接続されている。

図7は、図6に示した補正回路14AにおけるpMOSトランジスタPM41のゲートに供給される定電圧VGS2を生成する電圧生成回路22を示している。

**【0047】**

電圧生成回路22は、電源線VDDと接地線VSSとの間に直列に接続された抵抗R6、R7、R8、R9を有している。定電圧VGS2は、抵抗R6、R7の接続ノードから生成される。定電圧VGS2の値は、抵抗R6～R9の抵抗値の比で決まる。このため、定電圧

VGS2は、半導体集積回路の製造工程でのプロセス条件の変動あるいは半導体集積回路の動作中の温度変化により変化しない。

#### 【0048】

この実施形態では、第1の実施形態と同様に、半導体集積回路に形成されるトランジスタの閾値電圧が標準値より低くなる場合、あるいは半導体集積回路の動作中に周囲温度が低くなる場合、補正回路14AのpMOSトランジスタPM41の電流I41は増加するため、定電流源I2の電源電流I21、I22、...は減少する。したがって、内部回路20の動作速度は遅くなり、消費電流は減少する。この結果、内部回路20の動作速度および消費電流は、それぞれ閾値電圧が標準のとき、および温度が標準のときにほぼ等しくなる。

#### 【0049】

半導体集積回路に形成されるトランジスタの閾値電圧が標準値より高くなる場合、あるいは半導体集積回路の動作中に周囲温度が高くなる場合、補正回路14AのpMOSトランジスタPM41の電流I41は減少するため、定電流源I2の電源電流I21、I22、...は増加する。したがって、内部回路20の動作速度は速くなり、消費電流は増加する。この結果、内部回路20の動作速度および消費電流は、それぞれ閾値電圧が標準のとき、および温度が標準のときにほぼ等しくなる。

#### 【0050】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、pMOSトランジスタPM41のドレインは、第2ノードND2を介して第1ノードND1に直接接続されている。このため、pMOSトランジスタPM41のソース・ドレイン間電流I41をノードND1に直接供給できる。この結果、電圧生成部VGENの補正回路14Aの動作に対する応答を高速にできる。また、補正回路14Aを簡易に構成でき、半導体集積回路のチップサイズの増加を最小限に抑えることができる。

#### 【0051】

図8は、本発明の半導体集積回路の第3の実施形態を示している。この実施形態は、請求項8および請求項10に対応している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明

を省略する。

この実施形態では、第1の実施形態の補正回路14および内部回路16（16a、16b、...）の代わりに補正回路14Bおよび内部回路24（24a、24b、...）が形成されている。半導体集積回路チップは、シリコン基板上にCMOSプロセスを使用して、例えばLCDドライバとして形成されている。内部回路24は、LCDドライバのオペアンプとして形成されている。オペアンプは、nMOSトランジスタおよびpMOSトランジスタで構成されている。その他の構成は、第1の実施形態と同じである。

#### 【0052】

補正回路14Bは、第1の実施形態の補正回路14と第2の実施形態の補正回路14Aを組み合わせで構成されている。すなわち、nMOSトランジスタNM31のドレインおよびpMOSトランジスタPM41のドレインは、第2ノードND2に接続されている。ノードND1には、nMOSトランジスタNM31の電流I33に対応する電流I31とpMOSトランジスタPM41の電流I41とが供給される。

#### 【0053】

図9は、図8に示した補正回路14BにおけるnMOSトランジスタNM31のゲートに供給される定電圧VGS1およびpMOSトランジスタPM41のゲートに供給される定電圧VGS2を生成する電圧生成回路26を示している。

電圧生成回路26は、電源線VDDと接地線VSSとの間に直列に接続された抵抗R10、R11、R12、R13を有している。定電圧VGS1は、抵抗R12、R13の接続ノードから生成される。定電圧VGS2は、抵抗R10、R11の接続ノードから生成される。定電圧VGS1、VGS2の値は、抵抗R10～R13の抵抗値の比で決まる。このため、定電圧VGS1、VGS2は、半導体集積回路の製造工程でのプロセス条件の変動あるいは半導体集積回路の動作中の温度変化により変化しない。

#### 【0054】

この実施形態においても、上述した第1および第2の実施形態と同様の効果を得ることができる。さらに、この実施形態では、定電流源12が出力する電源電流I2（I21、I22、...）は、極性が互いに異なるpMOSトランジスタPM41およびnMOSトランジスタNM31に応じて調整される。このため、内部回路24において、動

作速度を決定する回路がpMOSトランジスタおよびnMOSトランジスタにより形成される場合にも、内部回路 2 4 の動作速度を一定にできる。

#### 【0 0 5 5】

図 1 0 は、本発明の半導体集積回路の第 4 の実施形態を示している。この実施形態は、請求項 2、請求項 3、請求項 4 および請求項 6 に対応している。第 1 の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

この実施形態では、複数の補正回路 1 4 C は、バイアス回路 1 0 ではなく、定電流源 1 2 と内部回路 1 6 (1 6 a、1 6 b、...) との接続ノード ND4 (ND41、ND42、...) に接続されている。その他の構成は、第 1 の実施形態と同じである。

#### 【0 0 5 6】

各補正回路 1 4 C は、nMOSトランジスタ NM5 (NM51、NM52、...；補正トランジスタ) で構成されている。nMOSトランジスタ NM5 は、ソースが接地線 VSS に接続され、ゲートが定電圧線 VGS1 に接続され、ドレインである第 2 ノード ND2 (ND21、ND22、...) がノード ND4 (ND41、ND42、...) に接続されている。

この実施形態では、定電流源 1 2 から出力される電源電流 I2 (I21、I22、...) の一部は、nMOSトランジスタ NM5 (NM51、NM52、...) のソース・ドレイン間電流 I5 (I51、I52、...；補正電流) として接地線 VSS に流れる。このため、内部回路 1 6 (1 6 a、1 6 b、...) には、電源電流 I2 から電流 I5 を引いた電流が流れる。

#### 【0 0 5 7】

半導体集積回路に形成されるトランジスタの閾値電圧が標準値より低くなる場合、あるいは半導体集積回路の動作中に周囲温度が低くなる場合、補正回路 1 4 C の各 nMOSトランジスタ NM5 の電流 I5 は増加するため、内部回路 1 6 に供給される電流は減少する。したがって、内部回路 1 6 の動作速度は遅くなり、消費電流は減少する。この結果、内部回路 1 6 の動作速度および消費電流は、閾値電圧が標準のとき、および温度が標準のときにはほぼ等しくなる。

#### 【0 0 5 8】



半導体集積回路に形成されるトランジスタの閾値電圧が標準値より高くなる場合、あるいは半導体集積回路の動作中に周囲温度が高くなる場合、補正回路 14 c の各 nMOS トランジスタ NM5 の電流 I5 は減少するため、内部回路 16 に供給される電流は増加する。したがって、内部回路 16 の動作速度は速くなり、消費電流は増加する。この結果、内部回路 16 の動作速度および消費電流は、閾値電圧が標準のとき、および温度が標準のときにほぼ等しくなる。

#### 【0059】

この実施形態においても、上述した第 1 の実施形態と同様の効果を得ることができる。さらに、この実施形態では、補正回路 14 c は、内部回路 16 毎に形成されている。このため、内部回路 16 (16 a、16 b、...) の機能に応じて補正回路 14 c を使用するか否かを決定できる。また、内部回路 16 の動作特性に応じて、nMOS トランジスタ NM5 に流れる電流値を微調整できる。この結果、内部回路 16 の動作速度の変動を、確実に防止できる。

#### 【0060】

図 11 は、本発明の半導体集積回路の第 5 の実施形態を示している。この実施形態は、請求項 2、請求項 3、請求項 5 および請求項 6 に対応している。第 1、第 2 および第 4 の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

この実施形態では、複数の補正回路 14 D は、バイアス回路 10 ではなく、定電流源 12 と内部回路 20 (20 a、20 b、...) との接続ノード ND4 (ND41、ND42、...) に接続されている。その他の構成は、第 2 の実施形態と同じである。

#### 【0061】

各補正回路 14 D は、第 1 の実施形態の補正回路 14 を構成するトランジスタの極性を逆にして構成されている。すなわち、各補正回路 14 D は、カレントミラー回路 (第 2 カレントミラー回路) を構成する一対の nMOS トランジスタと、pMOS トランジスタ PM6 (PM61、PM62、...; 補正トランジスタ) とを有している。pMOS トランジスタ PM6 のゲートは、定電圧線 VGS2 に接続されている。

#### 【0062】

補正回路 14 D は、第 4 の実施形態の補正回路 14 C と同様に動作する。すなわち、定電流源 12 から出力される電源電流  $I_2$  ( $I_{21}$ 、 $I_{22}$ 、...) の一部は、pMOS トランジスタ PM6 (PM61、PM62、...) のソース・ドレイン間電流  $I_6$  ( $I_{61}$ 、 $I_{62}$ 、... ; 補正電流) として接地線 VSS に流れる。このため、内部回路 20 (20 a、20 b、...) には、電源電流  $I_2$  から電流  $I_6$  を引いた電流が流れる。

#### 【0063】

この実施形態においても、上述した第 1 および第 4 の実施形態と同様の効果を得ることができる。

図 12 は、本発明の半導体集積回路の第 6 の実施形態を示している。この実施形態は、請求項 9 および請求項 10 に対応している。第 1 の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

#### 【0064】

この実施形態では、第 4 の実施形態の補正回路 14 C および内部回路 16 (16 a、16 b、...) の代わりに補正回路 14 E および内部回路 24 (24 a、24 b、...) が形成されている。半導体集積回路チップは、シリコン基板上に CMOS プロセスを使用して、例えば LCD ドライバとして形成されている。内部回路 24 は、LCD ドライバのオペアンプとして形成されている。オペアンプは、nMOS トランジスタおよび pMOS トランジスタで構成されている。その他の構成は、第 1 の実施形態と同じである。

#### 【0065】

補正回路 14 E は、第 4 の実施形態の補正回路 14 C と第 5 の実施形態の補正回路 14 D を組み合わせて構成されている。すなわち、nMOS トランジスタ NM51、NM52 のドレインおよび pMOS トランジスタ PM61、PM62 のドレインは、第 2 ノード ND21、ND22 にそれぞれ接続されている。ノード ND21、ND22 には、nMOS トランジスタ NM51、NM52 の電流  $I_{51}$ 、 $I_{52}$  と pMOS トランジスタ PM61、PM62 に対応する電流とがそれぞれ流れる。

#### 【0066】

この実施形態においても、上述した第 1 ～ 第 5 実施形態と同様の効果を得るこ

とができる。さらに、この実施形態では、定電流源 12 が出力する電源電流  $I_{21}$ 、 $I_{22}$  は、極性が互いに異なる pMOS トランジスタ PM61、PM62 および nMOS トランジスタ NM51、NM52 に応じて調整される。このため、内部回路 24 a、24 b において、動作速度を決定する回路が pMOS トランジスタおよび nMOS トランジスタにより形成される場合にも、内部回路 24 a、24 b の動作速度を一定にできる。

#### 【0067】

図 13 は、本発明の半導体集積回路の第 7 の実施形態を示している。この実施形態は、請求項 1、請求項 3、請求項 5 および請求項 6 に対応している。第 1 の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

この実施形態では、半導体集積回路チップは、シリコン基板上に CMOS プロセスを使用して、例えば LCD ドライバとして形成されている。半導体集積回路は、バイアス回路 10 F、定電流源 12 F、補正回路 14 F、および内部回路 20 (20 a、20 b、...) を有している。

#### 【0068】

バイアス回路 10 F は、第 1 の実施形態のバイアス回路 10 に、pMOS トランジスタ PM12 (第 1 電流源) および nMOS トランジスタ NM11 (負荷回路) を付加して構成されている。pMOS トランジスタ PM12 および nMOS トランジスタ NM11 は、電源線 VDD と接地線 VSS との間に直列に接続されている。pMOS トランジスタ PM12 は、ゲートがノード ND1 に接続され、ドレインが第 1 ノード ND11 (第 1 ノード) に接続されている。pMOS トランジスタ PM1、PM12 とでカレントミラー回路が構成されている。nMOS トランジスタ NM11 は、ゲートとドレイン (第 1 ノード ND11) が互いに接続されている。

#### 【0069】

定電流源 12 F は、複数の nMOS トランジスタ NM2 (NM21、NM22、... ; 第 2 電流源、第 3 トランジスタ) を有している。nMOS トランジスタ NM2 は、ソースが接地線 VSS に接続され、ゲートが第 1 ノード ND11 に接続されている。nMOS トランジスタ NM2 のドレインは、内部回路 20 a、20 b、... にそれぞれ接続されている。

#### 【0070】



定電流源 12 F の各 pMOS トランジスタ PM2 とバイアス回路 10 F の nMOS トランジスタ NM12 とによりカレントミラー回路（第 1 カレントミラー回路）がそれぞれ構成されている。このため、nMOS トランジスタ NM12 のソース・ドレイン間電流  $I_{13}$  は、nMOS トランジスタ NM2 のソース・ドレイン間電流  $I_2$  ( $I_{23}$ 、 $I_{24}$ 、...；電源電流) と等しくなる。したがって、内部回路 20 a、20 b、... にそれぞれ供給される電流  $I_{23}$ 、 $I_{24}$ 、... は、バイアス回路 10 に流れる電流  $I_{13}$  と等しくなる。

#### 【0071】

補正回路 14 F は、第 1 の実施形態の補正回路 14 を構成するトランジスタの極性を逆にして構成されている。すなわち、補正回路 14 F は、カレントミラー回路（第 2 カレントミラー回路）を構成する nMOS トランジスタ NM71、NM72（第 4 トランジスタ）と、pMOS トランジスタ PM71（補正トランジスタ）とを有している。pMOS トランジスタ PM71 のゲートは、定電圧線 VGS2 に接続されている。

#### 【0072】

この実施形態では、pMOS トランジスタ PM12 から出力される電流  $I_{12}$  の一部は、補正回路 14 F を介して接地線 VSS に流れる。このため、nMOS トランジスタ NM12 には、電流  $I_{12}$  から電流  $I_{71}$  を引いた電流が流れる。

半導体集積回路に形成されるトランジスタの閾値電圧が標準値より低くなる場合、あるいは半導体集積回路の動作中に周囲温度が低くなる場合、補正回路 14 F の pMOS トランジスタ PM71 の電流  $I_{73}$  は増加するため、バイアス回路 10 F の nMOS トランジスタ NM12 の電流  $I_{13}$  および定電流源 12 F の電源電流  $I_{23}$ 、 $I_{24}$ 、... は減少する。したがって、内部回路 20 の動作速度は遅くなり、消費電流は減少する。この結果、内部回路 20 の動作速度および消費電流は、閾値電圧が標準のとき、および温度が標準のときにほぼ等しくなる。

#### 【0073】

半導体集積回路に形成されるトランジスタの閾値電圧が標準値より高くなる場合、あるいは半導体集積回路の動作中に周囲温度が高くなる場合、補正回路 14 F の pMOS トランジスタ PM71 の電流  $I_{73}$  は減少するため、バイアス回路 10 F の nMOS トランジスタ NM12 の電流  $I_{13}$  および定電流源 12 F の電源電流  $I_{23}$ 、 $I_{24}$ 、... は

増加する。この結果、内部回路 20 の動作速度および消費電流は、閾値電圧が標準のとき、および温度が標準のときにはほぼ等しくなる。

#### 【0074】

この実施形態においても、上述した第 1 の実施形態と同様の効果を得ることができる。

図 14 は、本発明の半導体集積回路の第 8 の実施形態を示している。この実施形態は、請求項 1、請求項 3、請求項 4、請求項 6 および請求項 7 に対応している。第 1、第 2 および第 7 の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

#### 【0075】

この実施形態では、第 7 実施形態の補正回路 14 F および内部回路 20 (20 a、20 b、...) の代わりに補正回路 14 G および内部回路 16 (16 a、16 b、...) が形成されている。半導体集積回路チップは、シリコン基板上に CMOS プロセスを使用して、例えば LCD ドライバとして形成されている。その他の構成は、第 7 の実施形態と同じである。

#### 【0076】

補正回路 14 F は、第 2 の実施形態の補正回路 14 A を構成するトランジスタの極性を逆にして構成されている。すなわち、補正回路 14 F は、ソースが接地線 VSS に接続され、ゲートが定電圧線 VGS1 に接続され、ドレインがノード ND2 に接続された nMOS トランジスタ NM81 (補正トランジスタ) で構成されている。

この実施形態の動作は、第 7 の実施形態とほぼ同じである。すなわち、半導体集積回路に形成されるトランジスタの閾値電圧が標準値より低くなる場合、あるいは半導体集積回路の動作中に周囲温度が低くなる場合、補正回路 14 G を流れる電流 I81 が増加し、内部回路 16 a、16 b から接地線 VSS 流れる電流 I23、I24 が減少する。半導体集積回路に形成されるトランジスタの閾値電圧が標準値より高くなる場合、あるいは半導体集積回路の動作中に周囲温度が高くなる場合、補正回路 14 G を流れる電流 I81 が減少し、内部回路 16 a、16 b から接地線 VSS 流れる電流 I23、I24 が増加する。この結果、内部回路 16 a、16 b の動作速度は、常にほぼ一定になる。

**【0077】**

この実施形態においても、上述した第1および第2の実施形態と同様の効果を得ることができる。

図15は、本発明の半導体集積回路の第9の実施形態を示している。この実施形態は、請求項8および請求項10に対応している。第1、第3および第7の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

**【0078】**

この実施形態では、第7の実施形態の補正回路14Fおよび内部回路20（20a、20b、...）の代わりに補正回路14Hおよび内部回路24（24a、24b、...）が形成されている。半導体集積回路チップは、シリコン基板上にCMOSプロセスを使用して、例えばLCDドライバとして形成されている。その他の構成は、第7の実施形態と同じである。

**【0079】**

補正回路14Hは、第7の実施形態の補正回路14Fと第8の実施形態の補正回路14Gを組み合わせて構成されている。換言すれば、補正回路14Hは、第3の実施形態の補正回路14Bのトランジスタの極性を逆にして構成されている。

この実施形態においても、上述した第1および第3の実施形態と同様の効果を得ることができる。

**【0080】**

図16は、本発明の半導体集積回路の第10の実施形態を示している。この実施形態は、請求項2、請求項3、請求項5および請求項6に対応している。第1および第7の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

この実施形態では、複数の補正回路14Iは、バイアス回路10Fではなく、定電流源12Fと内部回路20（20a、20b、...）との接続ノードND4（ND41、ND42、...）に接続されている。その他の構成は、第7の実施形態と同じである。

**【0081】**

補正回路 14 I は、第 4 の実施形態の補正回路 14 C のトランジスタの極性を逆にして構成されている。すなわち、補正回路 14 I は、ドレインがノード ND41、ND42 にそれぞれ接続された pMOS トランジスタ PM9 (PM91、PM92、... ; 補正トランジスタ) で構成されている。

この実施形態では、内部回路 16 から流れる電流と補正回路 14 J から流れる電流の和が、定電流源 12 F に流れ込む。

**【0082】**

半導体集積回路に形成されるトランジスタの閾値電圧が標準値より低くなる場合、あるいは半導体集積回路の動作中に周囲温度が低くなる場合、補正回路 14 J の各 nMOS トランジスタ NM9 の電流は増加するため、内部回路 16 から出力される電流は減少する。したがって、内部回路 16 の動作速度は遅くなり、消費電流は減少する。この結果、内部回路 16 の動作速度および消費電流は、閾値電圧が標準のとき、および温度が標準のときにほぼ等しくなる。

**【0083】**

半導体集積回路に形成されるトランジスタの閾値電圧が標準値より高くなる場合、あるいは半導体集積回路の動作中に周囲温度が高くなる場合、補正回路 14 J の各 nMOS トランジスタ NM9 の電流は減少するため、内部回路 16 から出力される電流は増加する。したがって、内部回路 16 の動作速度は速くなり、消費電流は増加する。この結果、内部回路 16 の動作速度および消費電流は、閾値電圧が標準のとき、および温度が標準のときにほぼ等しくなる。

**【0084】**

この実施形態においても、上述した第 1 および第 4 の実施形態と同様の効果を得ることができる。

図 17 は、本発明の半導体集積回路の第 11 の実施形態を示している。この実施形態は、請求項 2、請求項 3、請求項 4 および請求項 6 に対応している。第 1 および第 7 の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

**【0085】**

この実施形態では、第10の実施形態の補正回路14 Iおよび内部回路20 (20 a、20 b、...)の代わりに補正回路14 Jおよび内部回路16 (16 a、16 b、...)が形成されている。その他の構成は、第7の実施形態と同じである。

補正回路14 Jは、第5の実施形態の補正回路14 Dのトランジスタの極性を逆にして構成されている。すなわち、各補正回路14 Jは、カレントミラー回路(第2カレントミラー回路)を構成する一対のpMOSトランジスタと、nMOSトランジスタNM9 (NM91、NM92、...; 補正トランジスタ)とを有している。nMOSトランジスタNM9のゲートは、定電圧線VGS1に接続されている。

#### 【0086】

補正回路14 Jは、第10の実施形態の補正回路14 Cと同様に動作する。そして、内部回路16から流れる電流に補正回路14 Jから流れる電流を加えた電流が、定電流源12 Fに流れ込む。

この実施形態においても、上述した第1および第5の実施形態と同様の効果を得ることができる。

#### 【0087】

図18は、本発明の半導体集積回路の第12の実施形態を示している。この実施形態は、請求項9および請求項10に対応している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

この実施形態では、第10の実施形態の補正回路14 Iおよび内部回路20 (20 a、20 b、...)の代わりに補正回路14 Kおよび内部回路24 (24 a、24 b、...)が形成されている。その他の構成は、第7の実施形態と同じである。

#### 【0088】

補正回路14 Kは、第6の実施形態の補正回路14 Eのトランジスタの極性を逆にして構成されている。すなわち、補正回路14 Kは、第10の実施形態の補正回路14 Iと第11の実施形態の補正回路14 Jを組み合わせて構成されている。



この実施形態においても、上述した第1および第6の実施形態と同様の効果を得ることができる。

#### 【0089】

なお、上述した実施形態では、本発明を、シリコン基板上にCMOSプロセスを使用して形成されたLCDドライバに適用する例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、本発明を、シリコン基板上にバイポーラプロセスを使用して形成されたLCDドライバに適用してもよい。この場合、上述した実施形態のnMOSトランジスタおよびpMOSトランジスタは、それぞれnpnトランジスタおよびpnpトランジスタに置き換えられる。

#### 【0090】

以上の実施形態において説明した発明を整理して、付記として開示する。

(付記1) 直列に接続された第1電流を生成する第1電流源と負荷回路とを有し、前記第1電流源と前記負荷回路との接続ノードである第1ノードに第1電圧を生成するバイアス回路と、

前記第1電圧に応じて電源電流を生成する第2電流源と、

複数の第1トランジスタを有し、前記第1トランジスタを動作させるために前記第2電流源に接続された内部回路と、

ゲートで定電圧を受ける補正トランジスタを含み、前記補正トランジスタのドレインに電氣的に接続された第2ノードに、前記定電圧に応じて補正電流を生成し、前記第2ノードが前記第1ノードに電氣的に接続された補正回路とを備えていることを特徴とする半導体集積回路。

#### 【0091】

(付記2) 直列に接続された第1電流を生成する第1電流源と負荷回路とを有し、前記第1電流源と前記負荷回路との接続ノードである第1ノードに第1電圧を出力するバイアス回路と、

前記第1電圧に応じて電源電流を生成する第2電流源と、

複数の第1トランジスタを有し、前記第1トランジスタを動作させるために前記第2電流源に接続された内部回路と、

ゲートで定電圧を受ける補正トランジスタを含み、前記補正トランジスタのド

レインに電氣的に接続された第2ノードに、前記定電圧に応じて補正電流を生成し、前記第2ノードが前記第2電流源と前記内部回路との接続ノードに接続されている補正回路とを備えていることを特徴とする半導体集積回路。

【0092】

(付記3) 付記1または付記2記載の半導体集積回路において、  
前記バイアス回路は、

前記内部回路内に形成される前記第1トランジスタの閾値電圧の変化に対する閾値電圧補償機能および温度変化に対する温度補償機能を有し、温度変化および閾値電圧の変化に依存せず一定の基準電圧を生成する基準電圧生成回路を備え、

前記第1電圧は、前記基準電圧に応じて生成されることを特徴とする半導体集積回路。

【0093】

(付記4) 付記3記載の半導体集積回路において、

前記基準電圧生成回路は、バンドギャップリファレンスであることを特徴とする半導体集積回路。

(付記5) 付記1または付記2記載の半導体集積回路において、

前記補正トランジスタは、nMOSトランジスタであることを特徴とする半導体集積回路。

【0094】

(付記6) 付記1または請求項2記載の半導体集積回路において、

前記補正トランジスタは、pMOSトランジスタであることを特徴とする半導体集積回路。

(付記7) 付記1または付記2記載の半導体集積回路において、

前記第1電流源および前記第2電流源は、ゲートが前記第1ノードに接続された第2および第3トランジスタをそれぞれ含み、

前記第2および第3トランジスタにより第1カレントミラー回路が構成されていることを特徴とする半導体集積回路。

【0095】

(付記8) 付記1または付記2記載の半導体集積回路において、

前記補正トランジスタのドレインは、前記第2ノードに直接接続されていることを特徴とする半導体集積回路。

(付記9) 付記1または付記2記載の半導体集積回路において、

前記補正トランジスタのドレインは、第2カレントミラー回路を構成する一対の第4トランジスタのゲートに接続され、

前記第4トランジスタのうち前記補正トランジスタに接続されていないトランジスタのドレインが、前記第2ノードに接続されていることを特徴とする半導体集積回路。

#### 【0096】

(付記10) 直列に接続された第1電流を生成する第1電流源と負荷回路とを有し、前記第1電流源と前記負荷回路との接続ノードである第1ノードに第1電圧を生成するバイアス回路と、

前記第1電圧に応じて電源電流を生成する第2電流源と、

複数の第1トランジスタを有し、前記第1トランジスタを動作させるために前記第2電流源に接続された内部回路と、

ゲートで第1定電圧を受ける第1補正トランジスタを含み、前記第1補正トランジスタのドレインに電氣的に接続された第2ノードに、前記第1定電圧に応じて第1補正電流を生成する第1補正回路と、

ゲートで第2定電圧を受け、前記第1補正トランジスタと極性が逆の第2補正トランジスタを含み、前記第2補正トランジスタのドレインに電氣的に接続された前記第2ノードに、前記第2定電圧に応じて第2補正電流を生成する第2補正回路とを備え、

前記第2ノードは、前記第1ノードに電氣的に接続されていることを特徴とする半導体集積回路。

#### 【0097】

(付記11) 直列に接続された第1電流を生成する第1電流源と負荷回路とを有し、前記第1電流源と前記負荷回路との接続ノードである第1ノードに第1電圧を出力するバイアス回路と、

前記第1電圧に応じて電源電流を生成する第2電流源と、

複数の第1トランジスタを有し、前記第1トランジスタを動作させるために前記第2電流源に接続された内部回路と、

ゲートで第1定電圧を受ける第1補正トランジスタを含み、前記第1補正トランジスタのドレインに電氣的に接続された第2ノードに、前記第1定電圧に応じて第1補正電流を生成する第1補正回路と、

ゲートで第2定電圧を受け、前記第1補正トランジスタと極性が逆の第2補正トランジスタを含み、前記第2補正トランジスタのドレインに電氣的に接続された前記第2ノードに、前記第2定電圧に応じて第2補正電流を生成する第2補正回路とを備え、

前記第2ノードは、前記第2電流源と前記内部回路との接続ノードに接続されていることを特徴とする半導体集積回路。

#### 【0098】

(付記12) 付記10または付記11記載の半導体集積回路において、

前記バイアス回路は、

前記内部回路内に形成される前記第1トランジスタの閾値電圧の変化に対する閾値電圧補償機能および温度変化に対する温度補償機能を有し、温度変化および閾値電圧の変化に依存せず一定の基準電圧を生成する基準電圧生成回路を備え、

前記第1電圧は、前記基準電圧に応じて生成されることを特徴とする半導体集積回路。

#### 【0099】

(付記13) 付記12記載の半導体集積回路において、

前記第1定電圧生成回路は、バンドギャップリファレンスであることを特徴とする半導体集積回路。

(付記14) 付記10または付記11記載の半導体集積回路において、

前記第1および第2補正トランジスタは、一方がnMOSトランジスタであり、他方がpMOSトランジスタであることを特徴とする半導体集積回路。

#### 【0100】

(付記15) 付記10または請求項11記載の半導体集積回路において、

前記第1電流源および前記第2電流源は、ゲートが前記第1ノードに接続され

た第2および第3トランジスタをそれぞれ含み、

前記第2および第3トランジスタにより第1カレントミラー回路が構成されていることを特徴とする半導体集積回路。

#### 【0101】

(付記16) 付記10または付記11記載の半導体集積回路において、

前記第1補正トランジスタのドレインは、前記第2ノードに直接接続され、

前記第2補正トランジスタのドレインは、第2カレントミラー回路を構成する一対の第4トランジスタのゲートに接続され、

前記第4トランジスタのうち前記補正トランジスタに接続されていないトランジスタのドレインが、前記第2ノードに接続されていることを特徴とする半導体集積回路。

#### 【0102】

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

#### 【0103】

##### 【発明の効果】

請求項1および請求項2の半導体集積回路では、内部回路の動作速度を、閾値電圧の変化および温度変化によらず一定にできる。したがって、製造工程で発生する半導体集積回路チップ毎の閾値電圧のばらつきに依存せず、半導体集積回路の歩留を向上できる。また、内部回路の動作速度の温度依存性を小さくできるため、半導体集積回路の歩留を向上できる。この結果、半導体集積回路の製品コストを削減できる。

#### 【0104】

請求項3の半導体集積回路では、温度変化および閾値電圧の変化に依存せず一定電圧を生成するバイアス回路を有する半導体集積回路に適用することで、顕著な効果がある。

請求項4の半導体集積回路では、内部回路に形成されるnMOSトランジスタの閾値電圧が変化する場合に、nMOSトランジスタの動作速度を一定にできる。あるい

は、温度が変化する場合にもnMOSトランジスタの動作速度を一定にできる。

【0105】

請求項5の半導体集積回路では、内部回路に形成されるpMOSトランジスタの閾値電圧が変化する場合に、pMOSトランジスタの動作速度を一定にできる。あるいは、温度が変化する場合にもpMOSトランジスタの動作速度を一定にできる。

請求項6の半導体集積回路では、第2電流源で生成される電源電流を第1電流源で生成される電流と等しくできる。この結果、内部回路に供給される電源電流を、補正回路による補正制御により正確に調整できる。

【0106】

請求項7の半導体集積回路では、補正回路を簡易に構成でき、半導体集積回路のチップサイズの増加を最小限に抑えることができる。

請求項8および請求項9の半導体集積回路では、内部回路の動作速度を、閾値電圧の変化および温度変化によらず一定にできる。したがって、製造工程で発生する半導体集積回路チップ毎の閾値電圧のばらつきに依存せず、半導体集積回路の歩留を向上できる。また、内部回路の動作速度の温度依存性を小さくできるため、半導体集積回路の歩留を向上できる。この結果、半導体集積回路の製品コストを削減できる。

【0107】

さらに、極性が互いに異なる2種類のトランジスタが内部回路に形成される場合にも、内部回路の動作速度を一定にできる。

請求項10の半導体集積回路では、内部回路に形成されるnMOSトランジスタの閾値電圧およびpMOSトランジスタの閾値電圧がそれぞれ変化する場合にも、内部回路の動作速度を一定にできる。

【図面の簡単な説明】

【図1】

本発明の半導体集積回路の第1の実施形態を示す回路図である。

【図2】

図1に示した補正回路に供給する定電圧を生成するための電圧生成回路を示す回路図である。

**【図 3】**

本発明における内部回路の動作を示す特性図である。

**【図 4】**

第 1 の実施形態における内部回路のシミュレーション結果を示す特性図である。

**【図 5】**

半導体集積回路チップ毎の閾値電圧の分布を示す特性図である。

**【図 6】**

本発明の半導体集積回路の第 2 の実施形態を示す回路図である。

**【図 7】**

図 6 に示した補正回路に供給する定電圧を生成するための電圧生成回路を示す回路図である。

**【図 8】**

本発明の半導体集積回路の第 3 の実施形態を示す回路図である。

**【図 9】**

図 8 に示した補正回路に供給する定電圧を生成するための電圧生成回路を示す回路図である。

**【図 1 0】**

本発明の半導体集積回路の第 4 の実施形態を示す回路図である。

**【図 1 1】**

本発明の半導体集積回路の第 5 の実施形態を示す回路図である。

**【図 1 2】**

本発明の半導体集積回路の第 6 の実施形態を示す回路図である。

**【図 1 3】**

本発明の半導体集積回路の第 7 の実施形態を示す回路図である。

**【図 1 4】**

本発明の半導体集積回路の第 8 の実施形態を示す回路図である。

**【図 1 5】**

本発明の半導体集積回路の第 9 の実施形態を示す回路図である。

**【図 1 6】**

本発明の半導体集積回路の第 1 0 の実施形態を示す回路図である。

**【図 1 7】**

本発明の半導体集積回路の第 1 1 の実施形態を示す回路図である。

**【図 1 8】**

本発明の半導体集積回路の第 1 2 の実施形態を示す回路図である。

**【図 1 9】**

従来のバイアス回路の一例を示す回路図である。

**【図 2 0】**

図 1 9 に示したバイアス回路 1 に接続される内部回路 3 の動作を示す特性図である。

**【図 2 1】**

従来における半導体集積回路チップ毎のトランジスタの閾値電圧の分布を示す特性図である。

**【符号の説明】**

1 0、1 0 F バイアス回路

1 2、1 2 F 定電流源

1 4、1 4 A、1 4 B、1 4 C、1 4 D、1 4 E 補正回路

1 4 F、1 4 G、1 4 H、1 4 I、1 4 J、1 4 K 補正回路

1 6 内部回路

1 8 電圧生成回路

2 0 内部回路

2 2 電圧生成回路

2 4 内部回路

2 6 電圧生成回路

BGR バンドギャップリファレンス

AMP アンプ

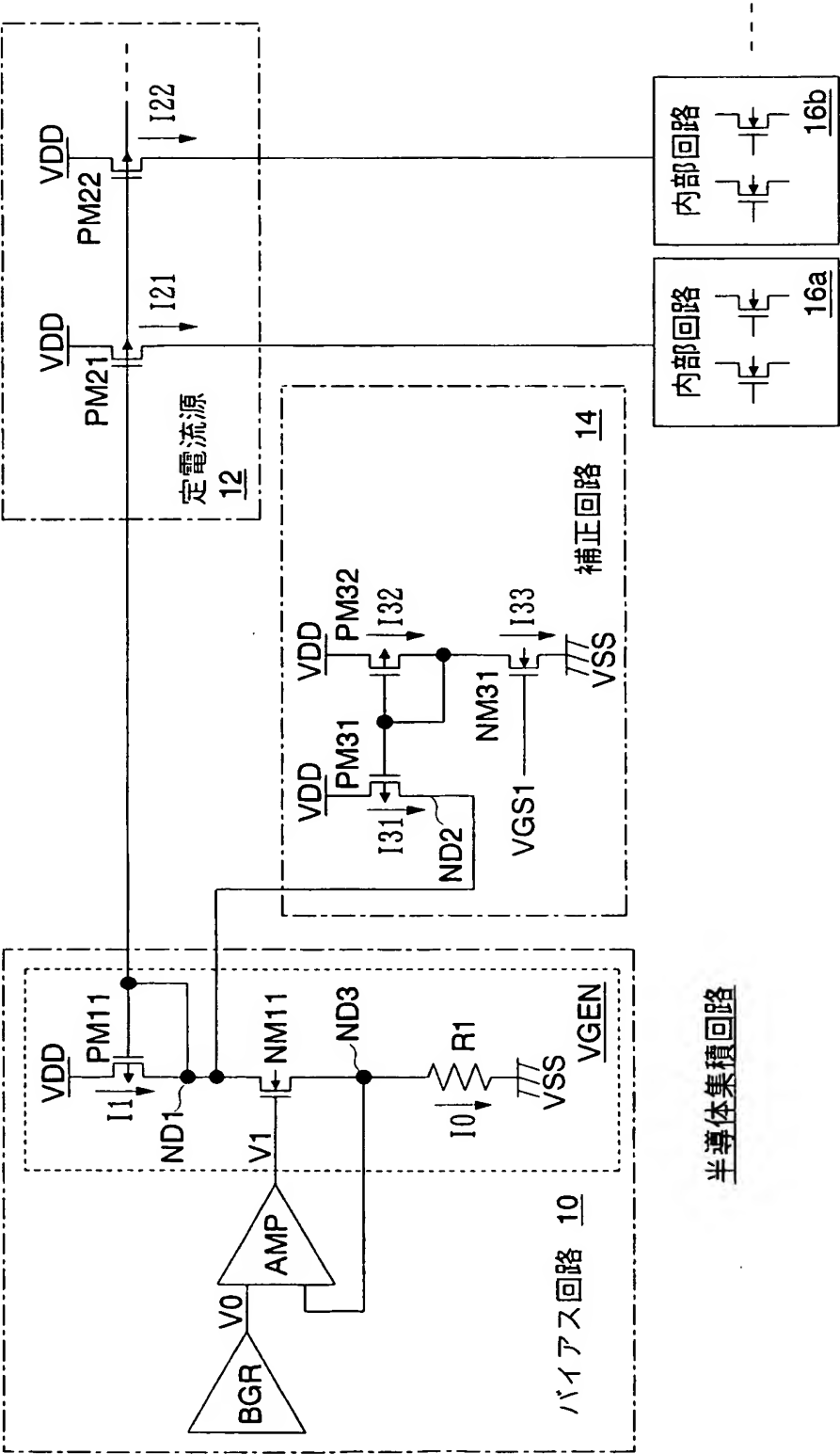
VGEN 電圧生成部



【書類名】 図面

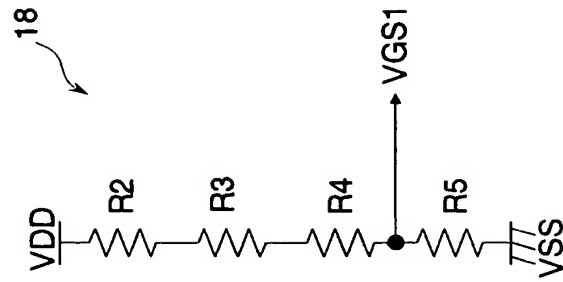
【図 1】

第 1 の実施形態のバイアス回路を示す回路図



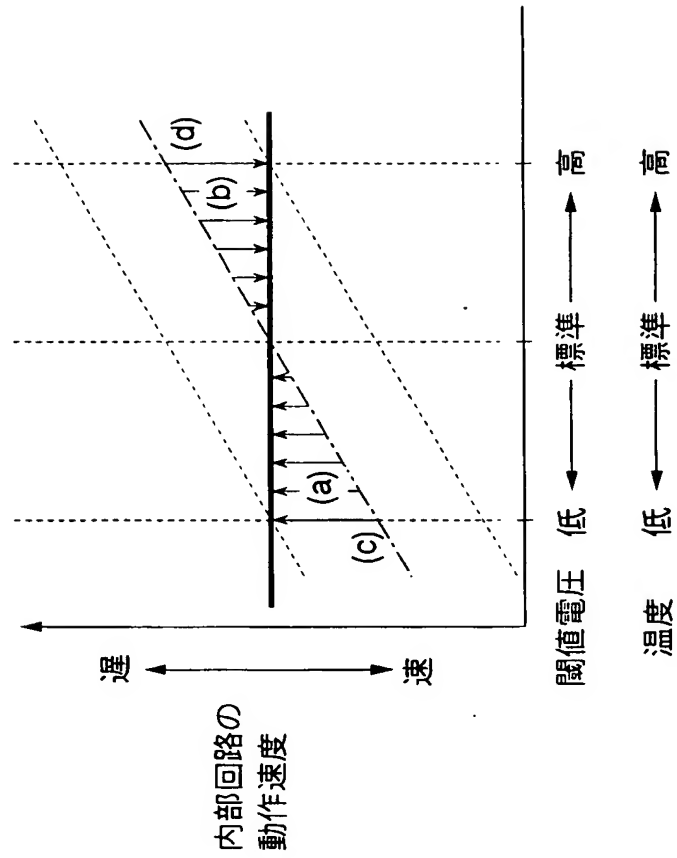
【図 2】

第 1 の実施形態における VGS1 の生成回路を示す回路図



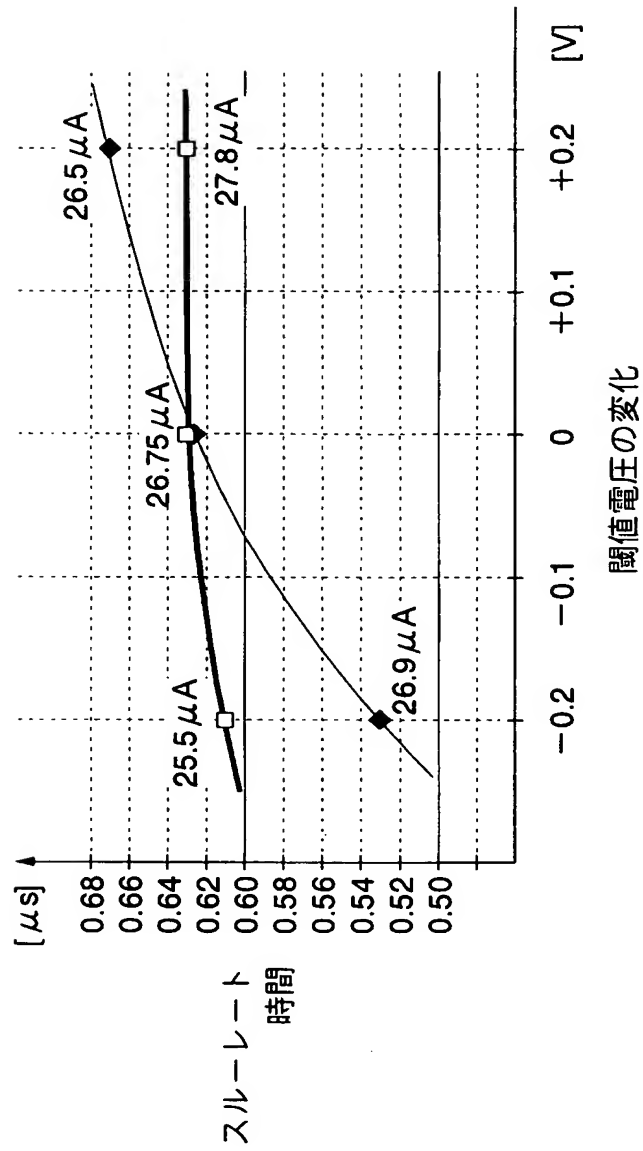
【図 3】

第1の実施形態における内部回路の動作を示す特性図



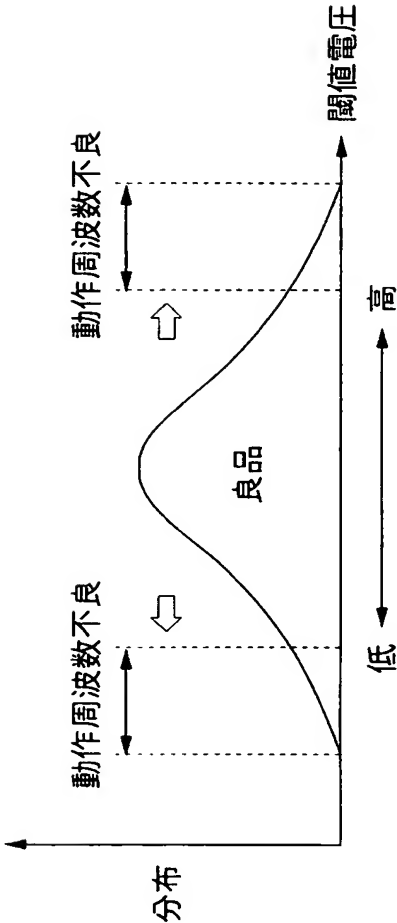
【図 4】

第1の実施形態における内部回路のシミュレーションを示す特性図



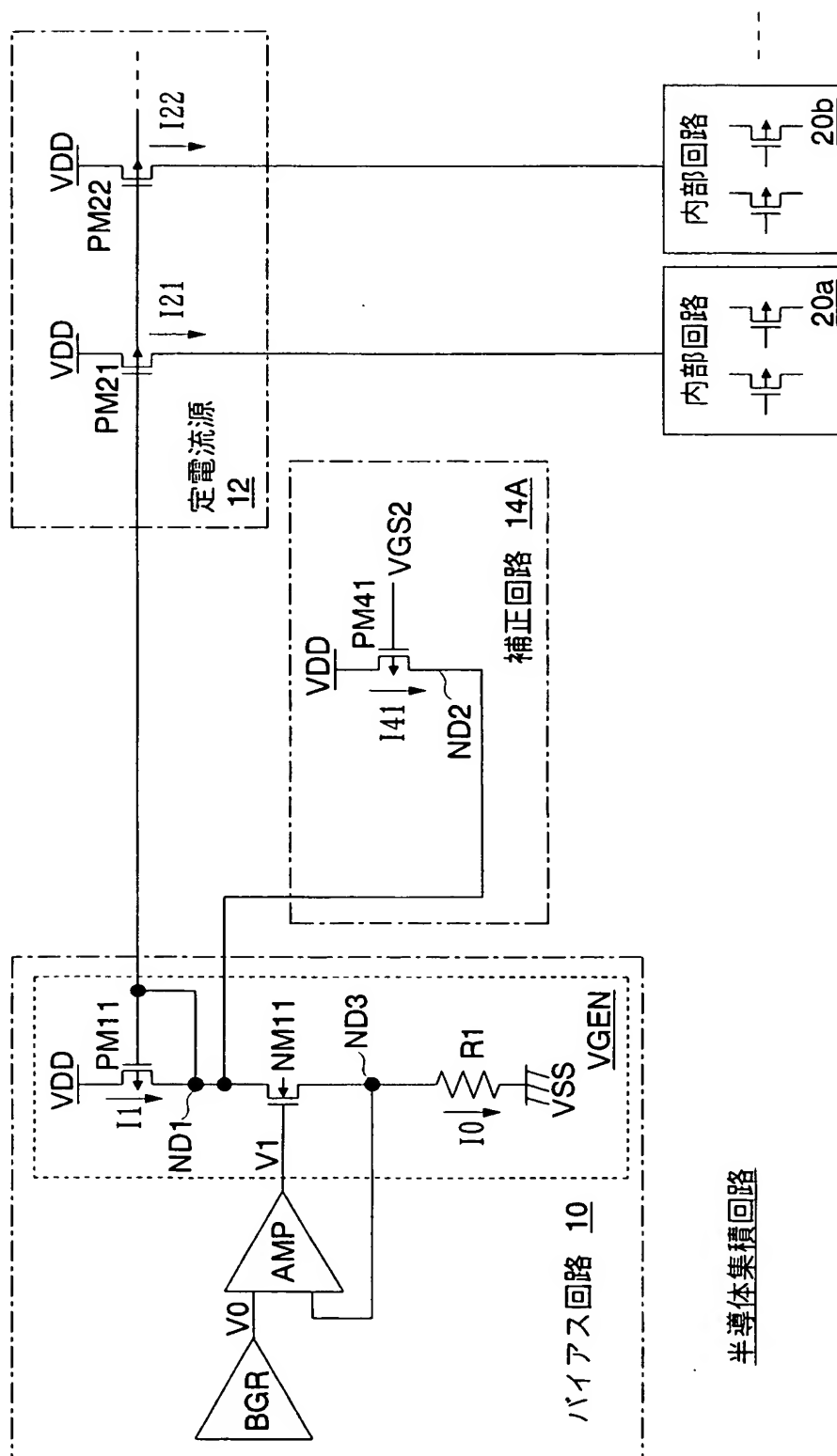
【図 5】

本発明の半導体集積回路における閾値電圧の分布を示す特性図



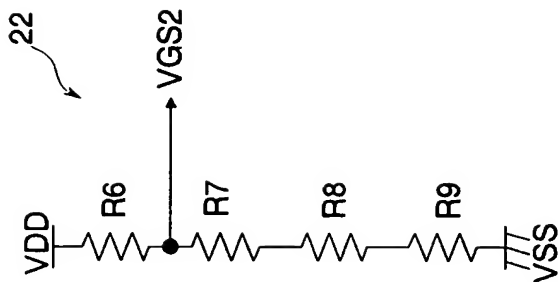
【図 6】

第 2 の実施形態のバイアス回路を示す回路図



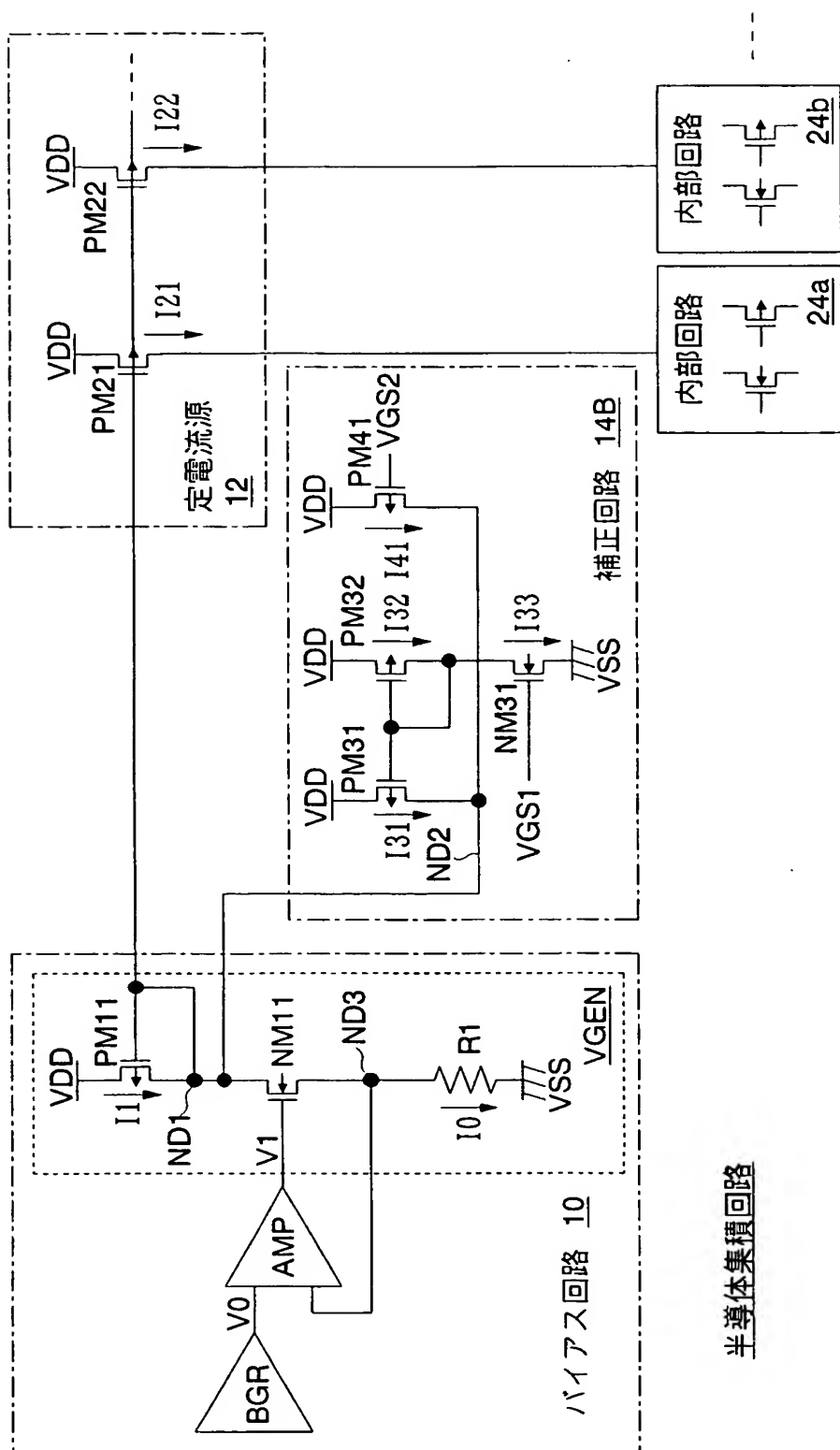
【図 7】

第 2 の実施形態における VGS2 の生成回路を示す回路図



【図 8】

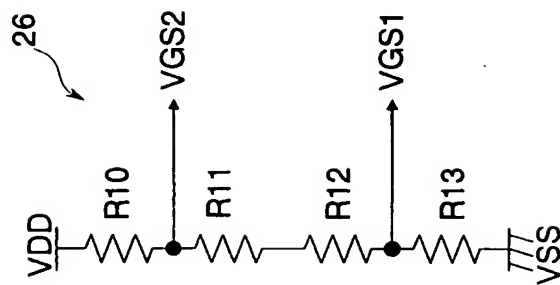
第 3 の実施形態のバイアス回路を示す回路図



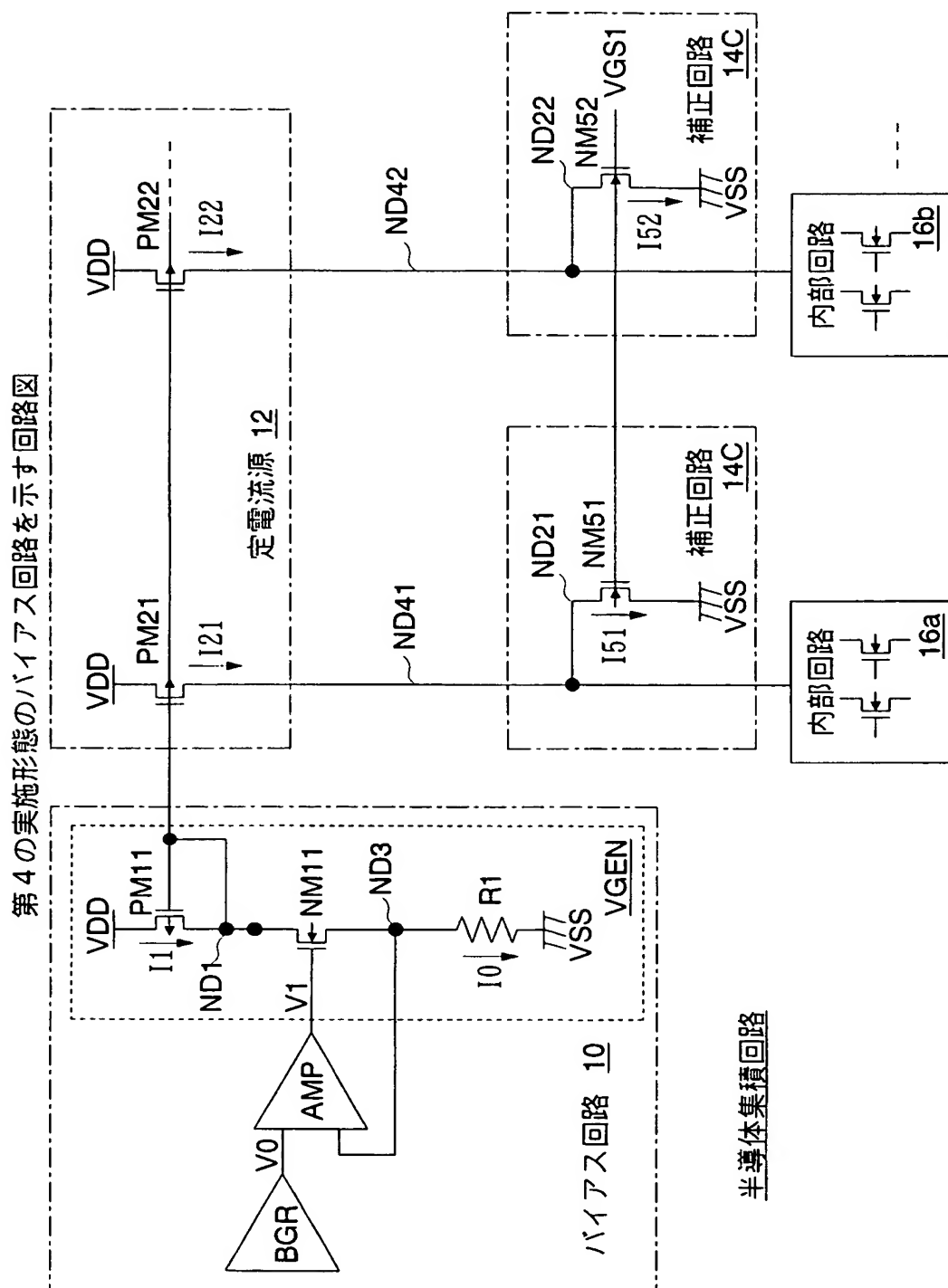


【図 9】

第 3 の実施形態における VGS1、VGS2 の生成回路を示す回路図

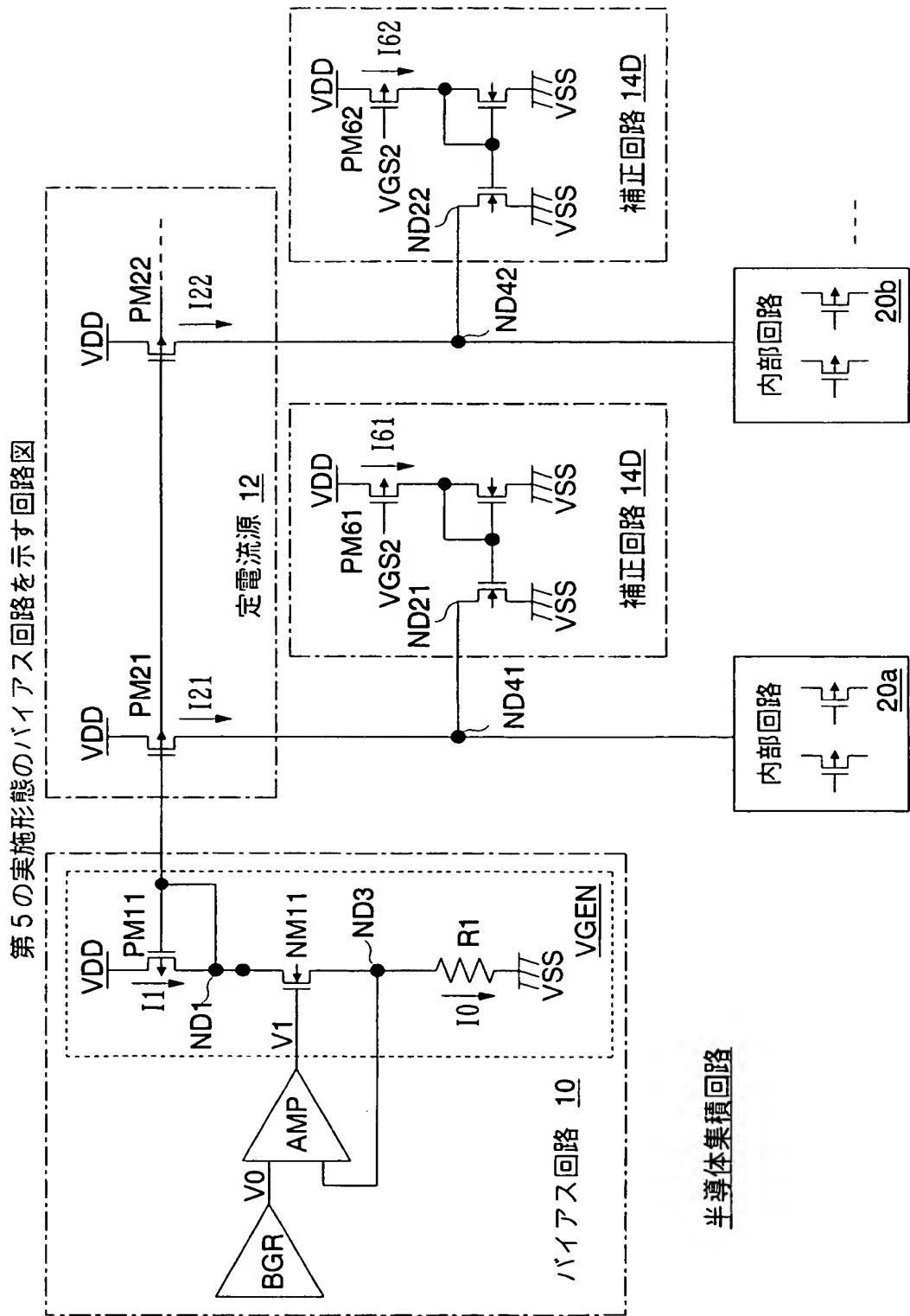


【図 10】

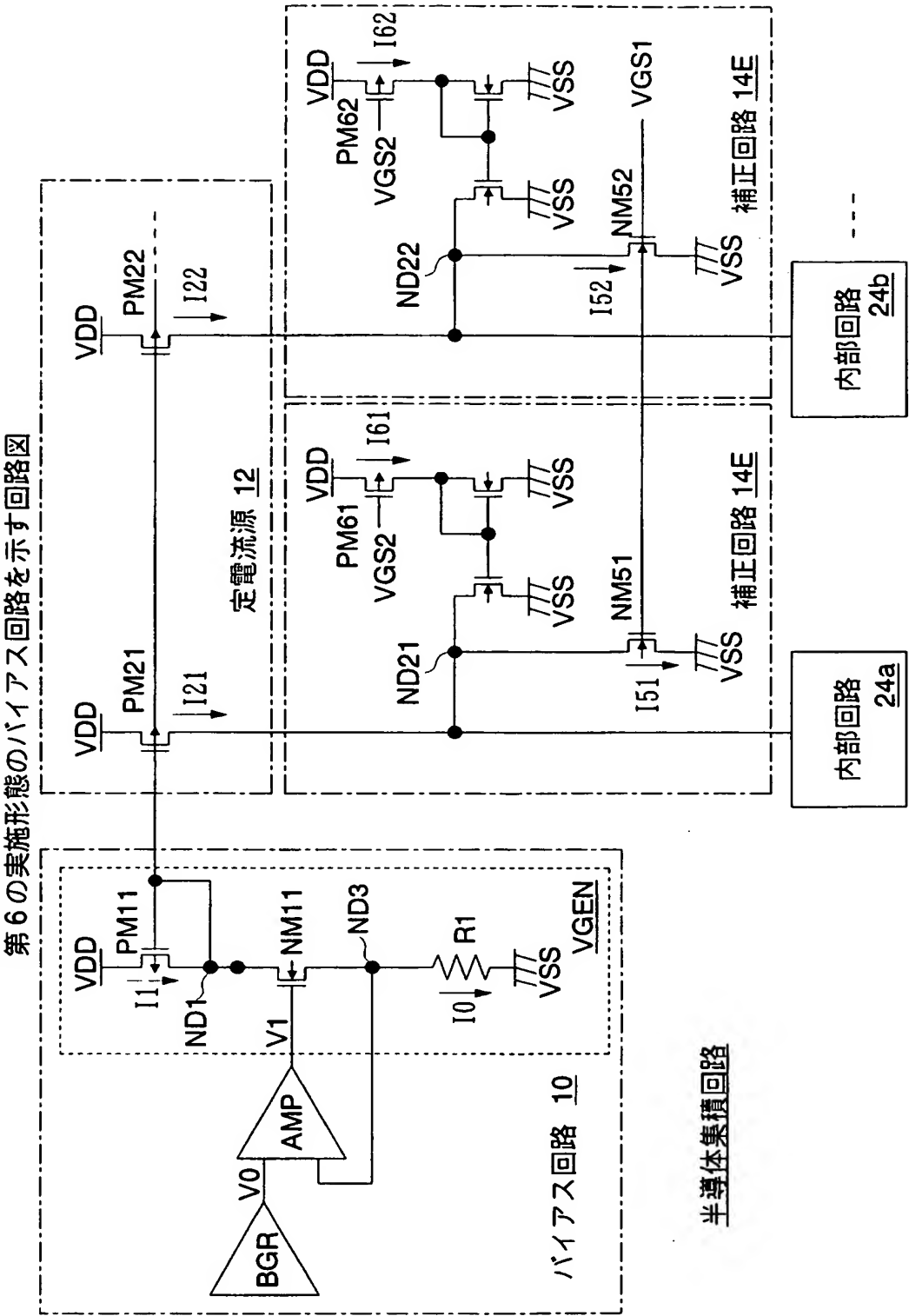


## 半導體集積回路

【図 11】

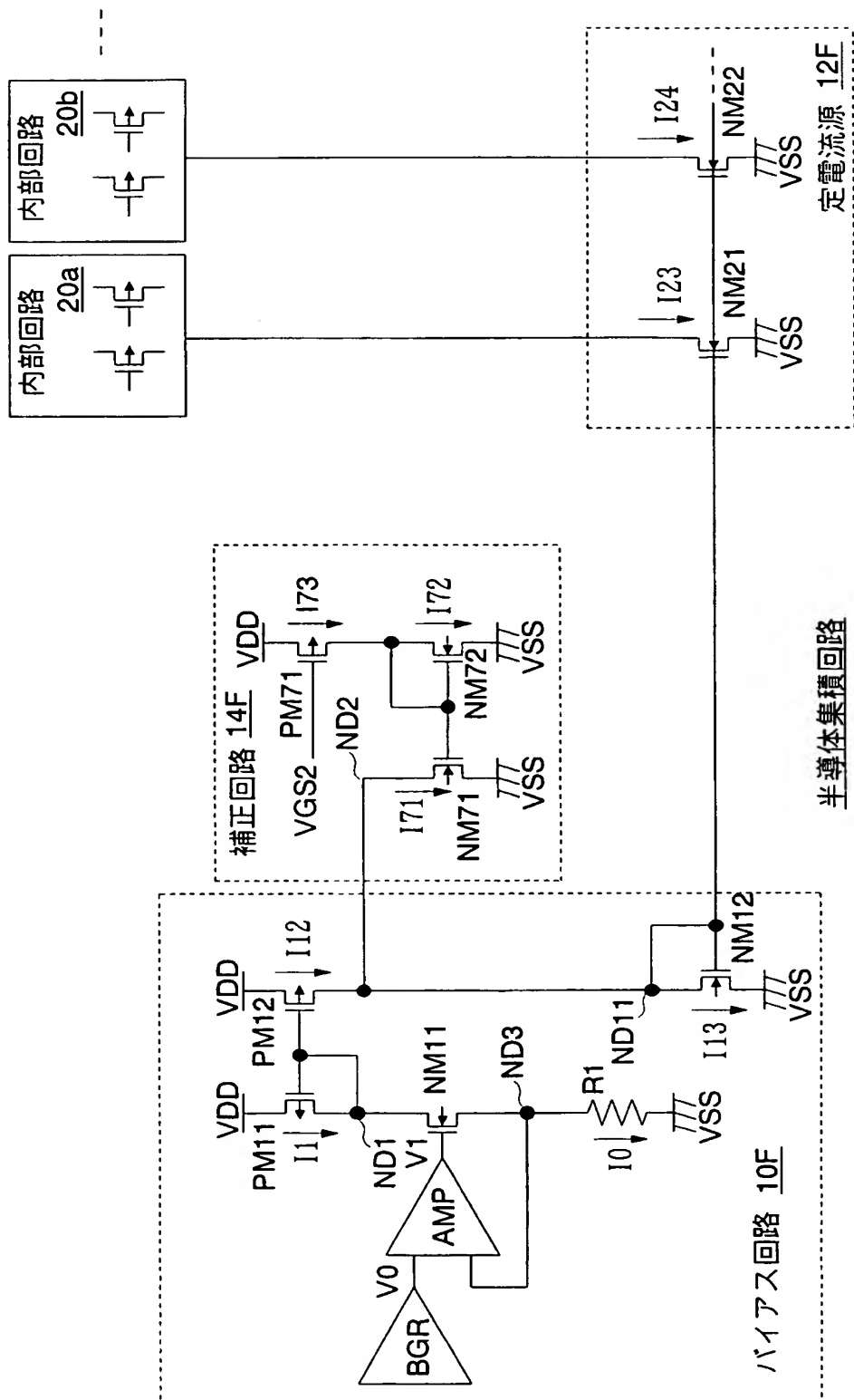


【図 12】



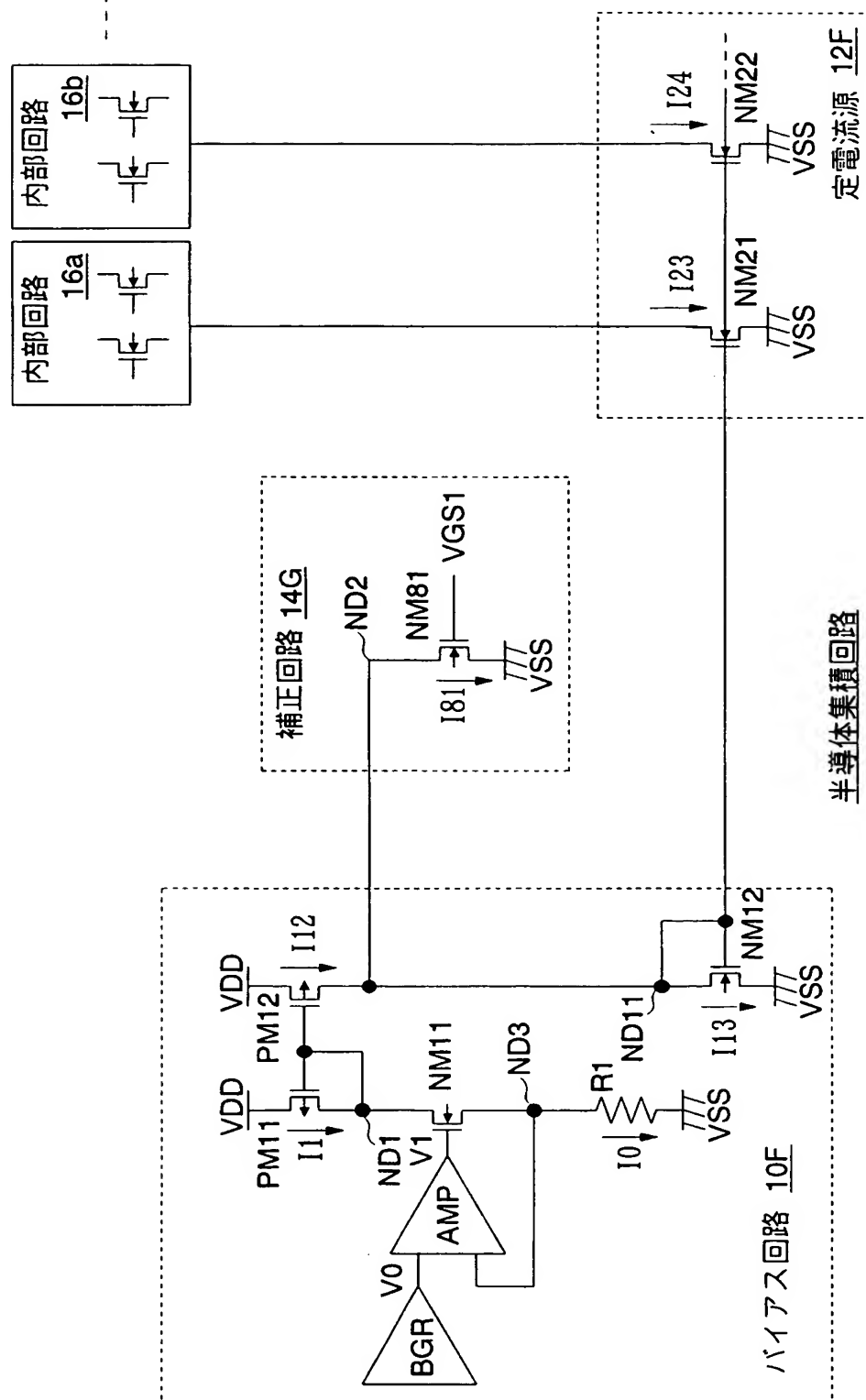
【図 13】

第 7 の実施形態のバイアス回路を示す回路図



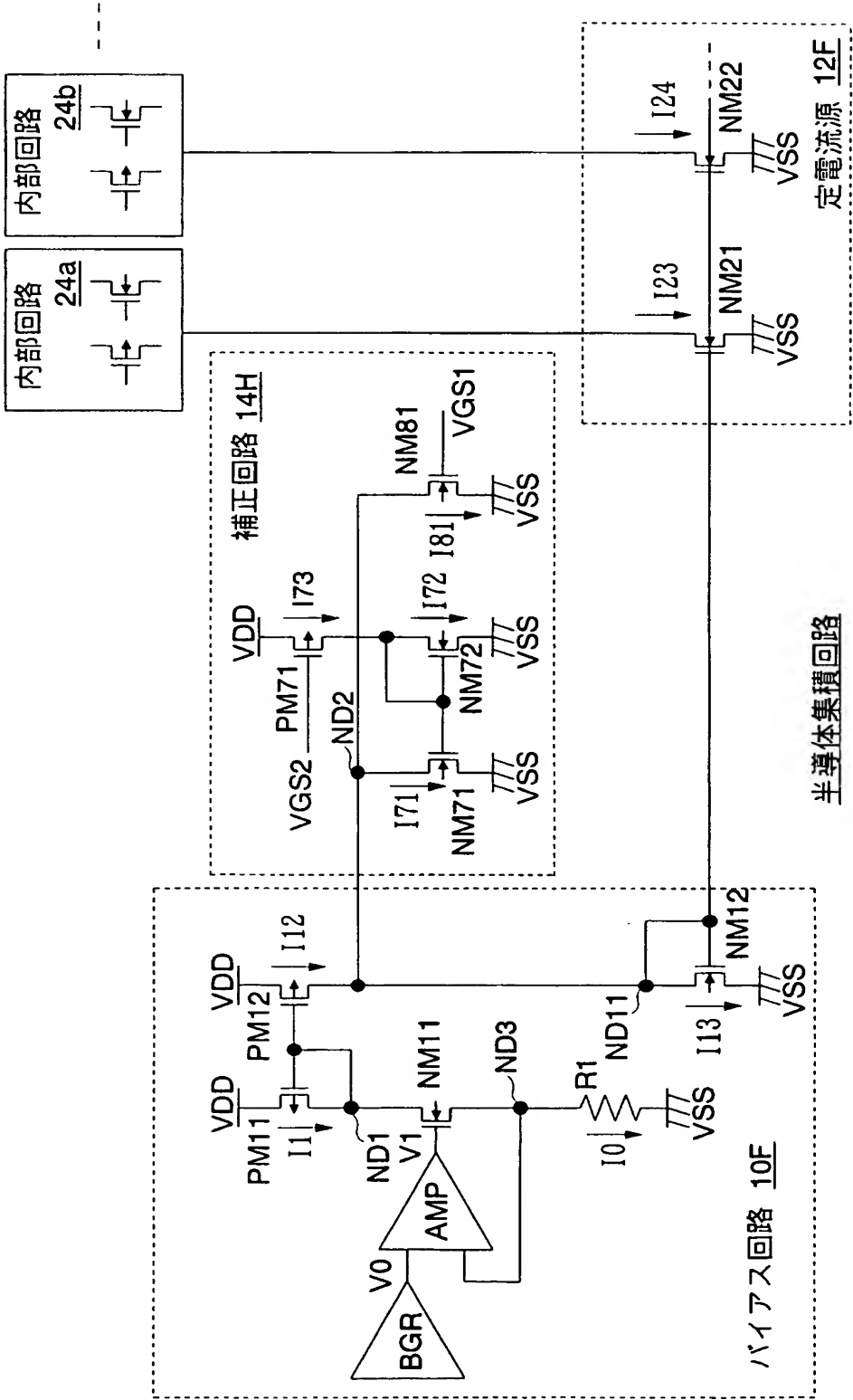
【図 14】

## 第8の実施形態のバイアス回路を示す回路図



【図 15】

第 9 の実施形態のバイアス回路を示す回路図

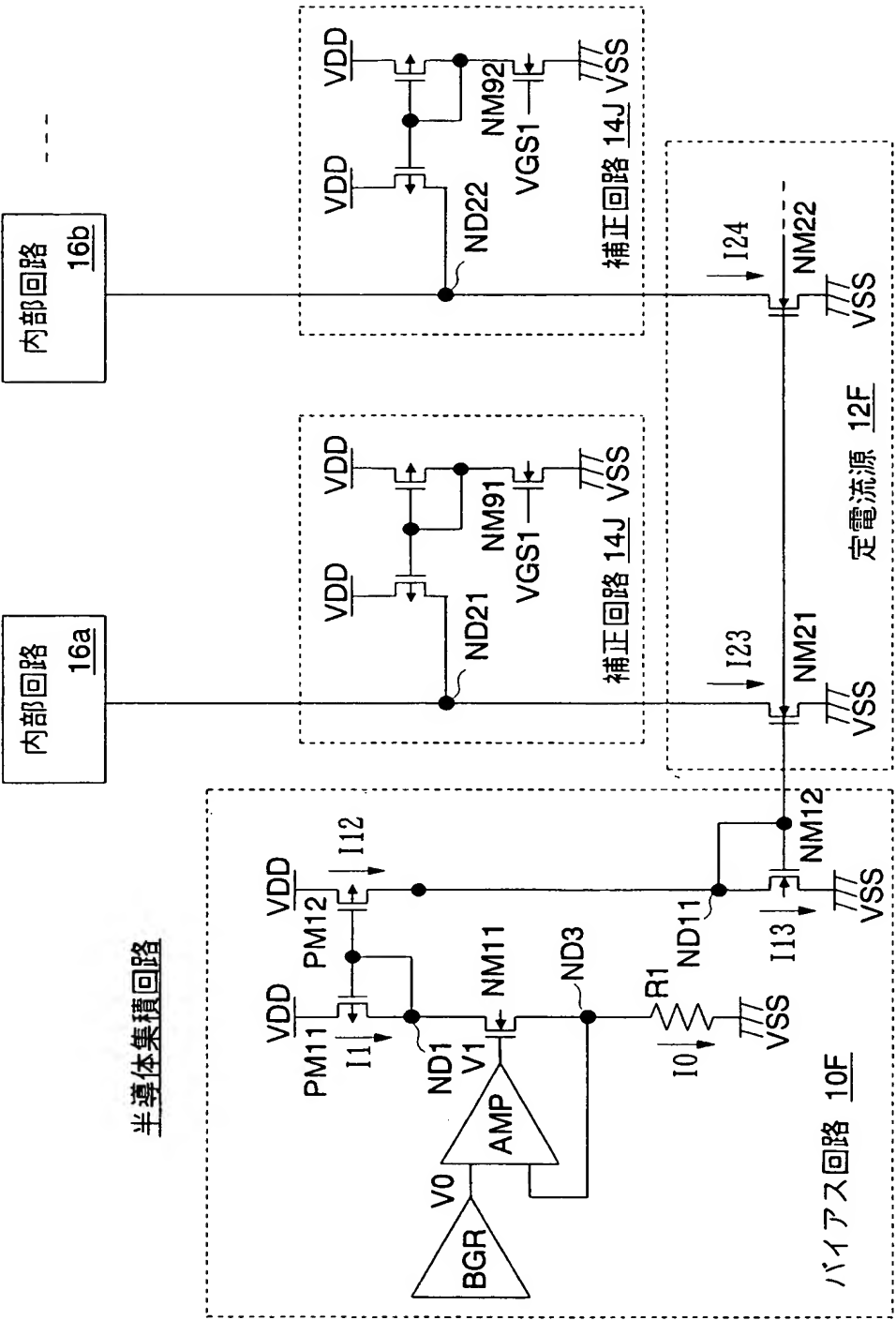






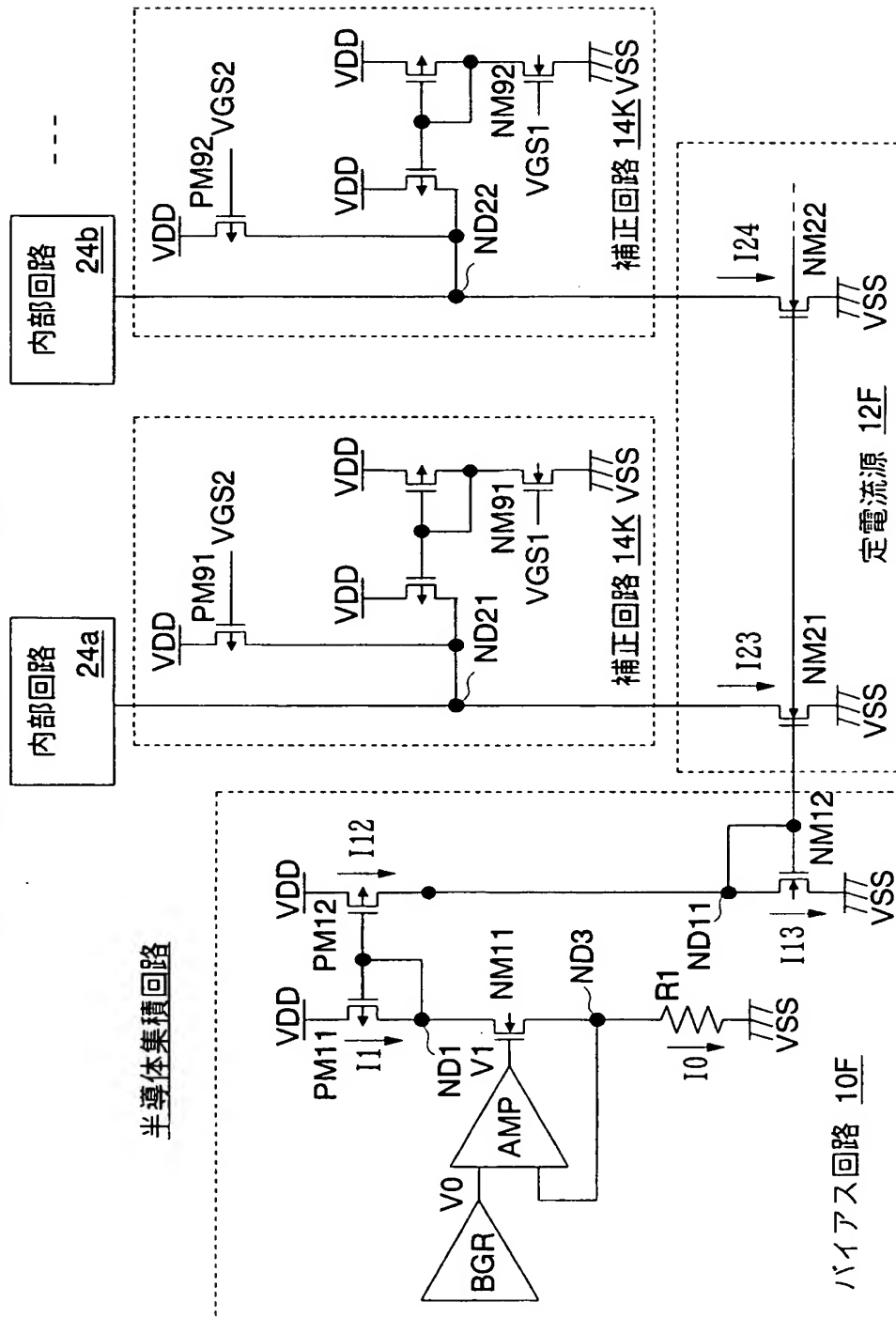
【図 17】

第 11 の実施形態のバイアス回路を示す回路図

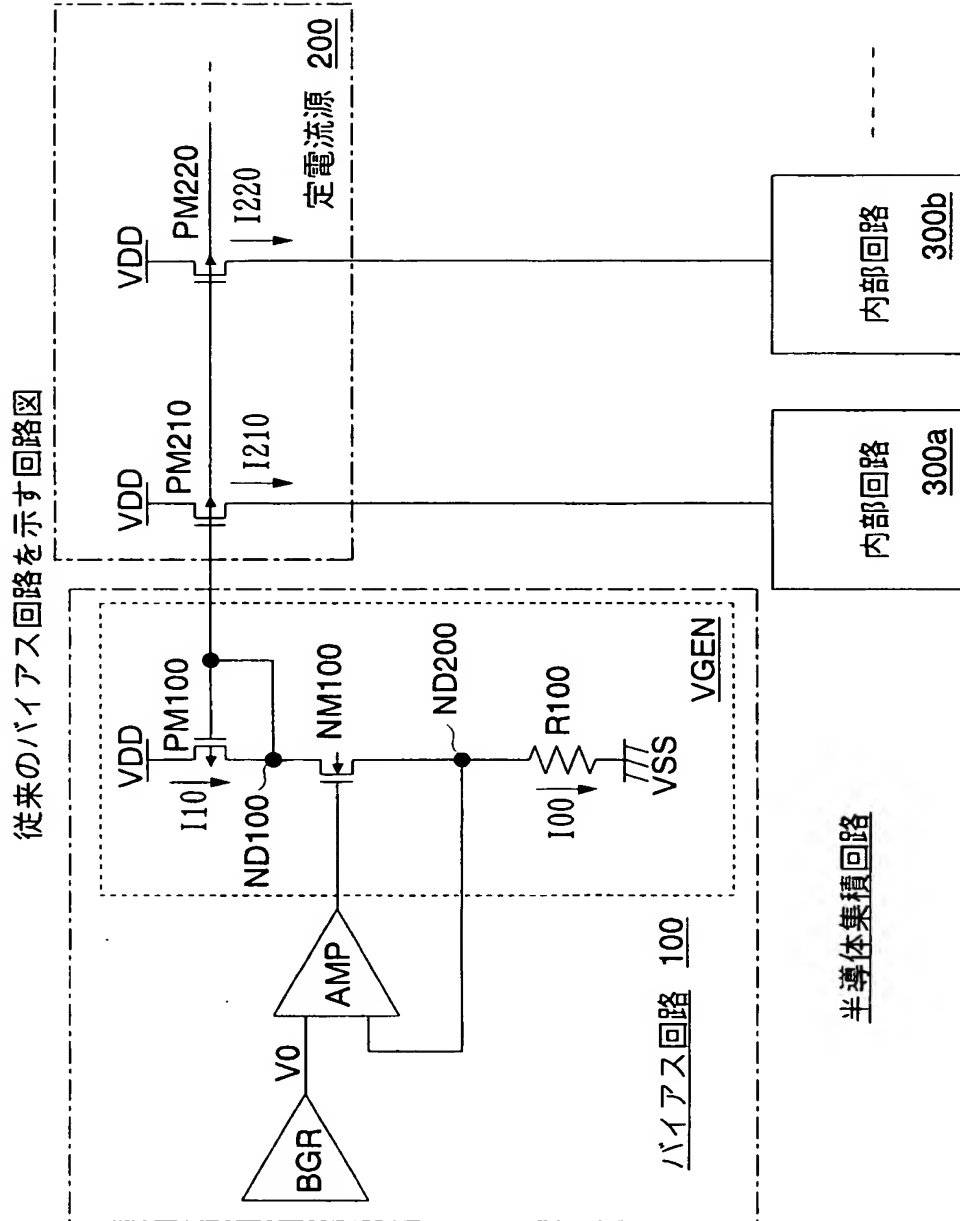


【図 18】

第 12 の実施形態のバイアス回路を示す回路図

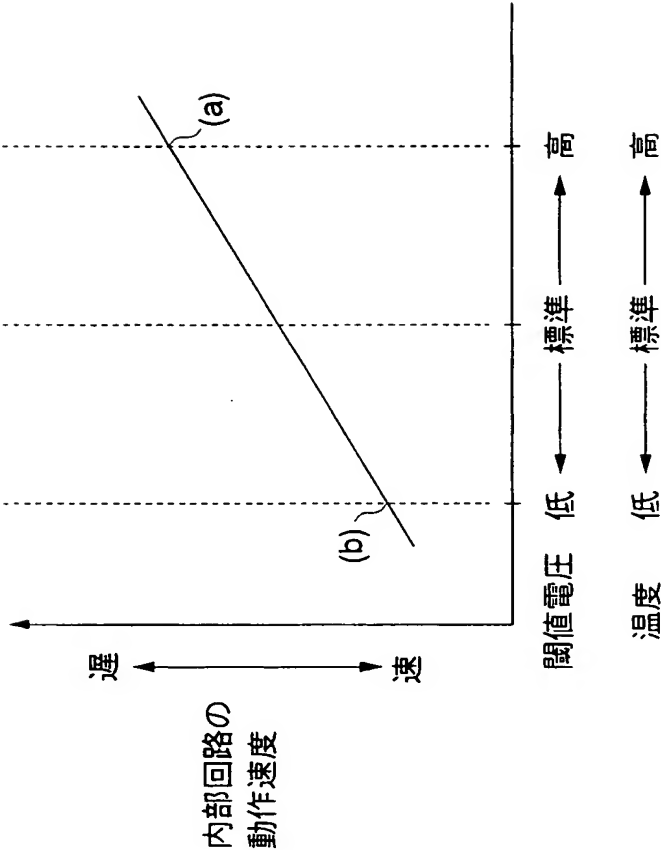


【図 19】



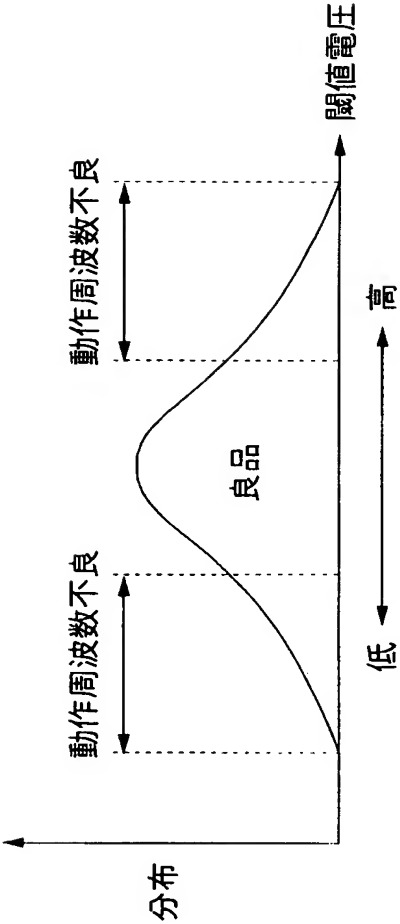
【図 20】

従来のバイアス回路に接続される内部回路の動作速度の変化を示す特性図



【図 2 1】

従来の半導体集積回路における閾値電圧の分布を示す特性図



【書類名】 要約書

【要約】

【課題】 半導体集積回路を構成するトランジスタの特性の変動による歩留の低下を防止し、製品コストを削減することにある。

【課題を解決するための手段】

バイアス回路は、第 1 ノードに第 1 電圧を生成する。第 2 電流源は、第 1 電圧に応じてトランジスタを含む内部回路に供給する電源電流を生成する。補正回路の補正トランジスタは、定電圧に応じて生成する補正電流を第 1 ノードに供給する。このため、第 1 電圧は、補正電流に応じて調整される。したがって、トランジスタの閾値電圧の変化および温度変化に依存して、内部回路の動作速度が変化することが防止される。この結果、製造工程で発生する半導体集積回路チップ毎の閾値電圧のばらつきに依存せず、歩留を向上できる。また、内部回路の動作速度の温度依存性を小さくできるため、半導体集積回路の歩留を向上できる。

【解決手段】

【選択図】 図 1

特願 2 0 0 2 - 3 5 3 9 4 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中 1 0 1 5 番地

氏 名

富士通株式会社

2 . 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社